

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 27/088

審査請求 未請求 予備審査請求 未請求(全 95 頁)

出願番号 特願平9-536055  
 (21)国際出願番号 PCT/J P 97/01191  
 (22)国際出願日 平成9年(1997)4月8日  
 (31)優先権主張番号 特願平8-85124  
 (32)優先日 平8(1996)4月8日  
 (33)優先権主張国 日本(JP)  
 (81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), CN, JP, KR, S G, US

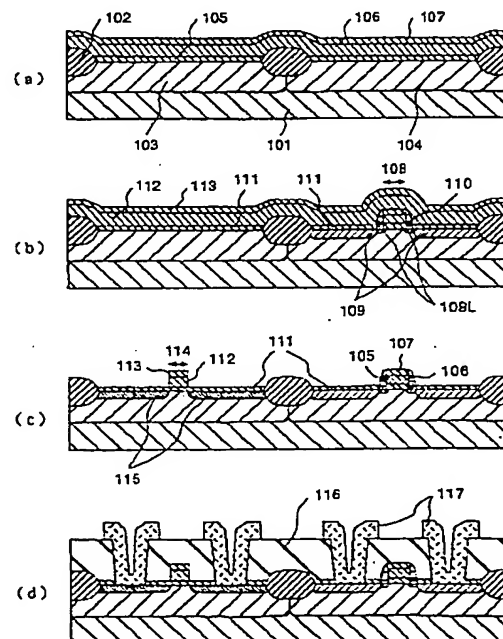
(71)出願人 株式会社日立製作所  
 東京都千代田区神田駿河台4丁目6番地  
 (72)発明者 松崎 望  
 東京都国分寺市西恋ヶ窪4丁目14番6号  
 日立第四協心寮  
 (72)発明者 水野 弘之  
 東京都国分寺市西恋ヶ窪3丁目8番1号  
 日立恋ヶ窪寮87  
 (72)発明者 堀口 真志  
 神奈川県川崎市多摩区中野島6丁目29番2号 207号室  
 (74)代理人 弁理士 高橋 明夫

(54)【発明の名称】 半導体集積回路装置

## (57)【要約】

本発明は、同一シリコン基板上に、少なくとも、ソース・ゲート間あるいはドレイン・ゲート間に流れるトンネル電流の大きさが異なる複数種類のMOSトランジスタを設けるとともに、トンネル電流の大きさが異なる複数種類のMOSトランジスタのうち、トンネル電流が大きい少なくとも1つのMOSトランジスタで構成された主回路と、トンネル電流が小さい少なくとも1つのMOSトランジスタで構成され、主回路と2つの電源の少なくとも一方の間に挿入された制御回路とを有し、制御回路に供給される制御信号により、主回路を構成するトンネル電流が大きいMOSトランジスタのソース・ゲート間あるいはドレイン・ゲート間に電流が流れることの許容/不許容を制御するようにした。

第1図



## 【特許請求の範囲】

1. 同一基板上に、ソース・ゲート間あるいはドレイン・ゲート間に流れるリーク電流の大きさが異なる複数種類のMOSトランジスタを設けるとともに、該複数種類のMOSトランジスタのうち、上記リーク電流が大きい少なくとも1つのMOSトランジスタで構成された主回路と、該主回路と2つの電源の少なくとも一方の間に挿入され、リーク電流が小さい少なくとも1つのMOSトランジスタで構成された制御回路を有する半導体集積回路装置。
2. 前記リーク電流はトンネル電流によるものである請求項1記載の半導体集積回路装置。
3. 前記リーク電流の大きさが異なる複数種類のMOSトランジスタは、ゲート絶縁膜の厚さが異なるMOSトランジスタで構成されることを特徴とする請求項2記載の半導体集積回路装置。
4. 前記リーク電流の大きいMOSトランジスタのゲート絶縁膜の厚さは、3.5 nm以下である請求項2乃至3のうちのいずれかに記載の半導体集積回路装置。
5. 前記リーク電流の大きいMOSトランジスタのゲート絶縁膜の厚さは、3.0 nm以下である請求項2乃至3のうちのいずれかに記載の半導体集積回路装置。
6. 前記リーク電流の大きいMOSトランジスタのゲート絶縁膜の厚さは、2.0 nm以下である請求項2乃至3のうちのいずれかに記載の半導体集積回路装置。
7. 前記リーク電流の小さいMOSトランジスタのゲート絶縁膜の厚さは、5.0 nm以上である請求項2乃至6のうちのいずれかに記載の半導体集積回路装置。
8. 前記リーク電流の小さいMOSトランジスタのゲート絶縁膜の厚さは、10.0 nm以上である請求項2乃至6のうちのいずれかに記載の半導体集積回路装置。
9. 前記リーク電流の大きさが異なる複数種類のMOSトランジスタは、濃度の

異なる不純物が導入されたゲート電極を有する同一導電型のMOSトランジスタで構成されることを特徴とする請求項2に記載の半導体集積回路装置。

10. 前記リーク電流の大きさが異なる複数種類のMOSトランジスタは、ゲート電極のキャリア濃度もしくは分布が異なるMOSトランジスタで構成されることを特徴とする請求項2に記載の半導体集積回路装置。

11. 前記主回路は少なくとも1つの論理回路を含む請求項2乃至10のうちいずれかに記載の半導体集積回路装置。

12. 前記制御回路は前記電源を遮断する少なくとも1つの電源遮断用トランジスタを含む請求項2乃至11のうちいずれかに記載の半導体集積回路装置。

13. 前記電源遮断用トランジスタが電源を遮断したときの前記論理回路もしくは主回路の出力を保持するレベル保持回路を有する請求項2に記載の半導体集積回路装置。

14. 前記レベル保持回路は前記リーク電流が小さいMOSトランジスタで構成される請求項13に記載の半導体集積回路装置。

15. 前記リーク電流が大きいMOSトランジスタは、ゲート電圧は0.8V以上で動作されるように構成されている請求項2乃至14のうちいずれかに記載の半導体集積回路装置。

16. 前記リーク電流が大きいMOSトランジスタは、ゲート電圧は1.2V以上で動作されるように構成されている請求項2乃至14のうちいずれかに記載の半導体集積回路装置。

17. 前記リーク電流が大きいMOSトランジスタとリーク電流が小さいMOSトランジスタは異なるゲート電圧で駆動される請求項1乃至16のうちいずれかに記載の半導体集積回路装置。

18. 前記リーク電流が大きいMOSトランジスタは、前記リーク電流が小さいMOSトランジスタよりも低い電圧をゲートとソースもしくはドレインの間に印加して駆動される請求項1乃至16のうちいずれかに記載の半導体集積回路装置。

19. 入出力端子と、該入出力端子と前記主回路の間の入出力の制御を行う入出力回路と、前記主回路からの出力を記録するメモリセルと、該メモリセルの動作

を制御するメモリ直接周辺回路を有する請求項 1 乃至 1 8 のうちいずれかに記載

の半導体集積回路装置。

20. 前記メモリセルは前記リーク電流が小さいMOSトランジスタで構成される請求項 1 9 記載の半導体集積回路装置。

21. 前記メモリセルはレジスタファイル、キャッシュメモリ、  
Mセルのうちの少なくとも一つを含む請求項 1 9 乃至 2 0 のうちのいずれかに記載の半導体集積回路装置。

TBL、および DRA

22. 前記メモリセルはスタンバイ時にデータを保持する構成である請求項 1 9 乃至 2 1 のうちいずれかに記載の半導体集積回路装置。

23. 前記メモリセルはアクセス速度の速い第 1 の種類のメモリと、それよりアクセス速度の遅い第 2 の種類のメモリを含み、第 1 のメモリを構成するMOSトランジスタの前記リーク電流は、第 2 のメモリを構成するMOSトランジスタのリーク電流よりも大きい請求項 1 9 乃至 2 1 2 のうちのいずれかに記載の半導体集積回路装置。

24. 前記入出力回路は電源を遮断する少なくとも 1 つの電源遮断用トランジスタを含む請求項 1 9 乃至 2 3 のうちのいずれかに記載の半導体集積回路装置。

25. 前記メモリ直接周辺回路は電源を遮断する少なくとも 1 つの電源遮断用トランジスタを含む請求項 1 9 乃至 2 4 のうちのいずれかに記載の半導体集積回路装置。

26. 前記電源遮断用トランジスタを制御する電源制御回路を有し、電源遮断用トランジスタは、前記主回路を構成するMOSトランジスタよりもリーク電流の小さいMOSトランジスタで構成される請求項 2 3 乃至 2 4 のうちのいずれかに記載の半導体集積回路装置。

27. ソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さが 4 nm 以下の第 1 のMOSトランジスタと、上記絶縁膜の厚さが 4 nm を越える第 2 のMOSトランジスタが同一のシリコン基板上に形成されている半導体集積回路装置。

28. ソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さが

4 nm 以下の第 1 の MOS トランジスタと、ソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さが上記第 1 の MOS トランジスタのそれよりも厚い第 2 の MOS トランジスタを有し、上記第 1 の MOS トランジスタのソース

・ゲート間あるいはドレイン・ゲート間に流れる電流を上記第 2 の MOS トランジスタで制御する半導体集積回路装置。

29. ソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さが 4 nm 以下の第 1 の MOS トランジスタと、該第 1 の MOS トランジスタへの電源の供給を遮断する第 2 の MOS トランジスタを有し、該電源の遮断中において上記第 1 の MOS トランジスタの出力をホールドするレベルホールド回路を有する半導体集積回路装置。

30. ソース・ゲート間あるいはドレイン・ゲート間に流れるリーク電流の大きい第 1 の MOS トランジスタと、上記リーク電流が第 1 の MOS トランジスタよりも小さい第 2 の MOS トランジスタが同一のシリコン基板上に形成されており、該第 2 の MOS トランジスタを第 1 の MOS トランジスタよりも高電圧の電源で駆動する半導体集積回路装置。

31. 振幅電圧  $V_{cc2}$  の入力信号を入力してこれに応答する半導体集積回路装置であって、上記入力信号の振幅電圧を  $V_{cc1}$  に降下させて内部信号を形成するレベル変換回路を有し、該内部信号を入力とする MOS トランジスタのゲート・ソース間あるいはゲート・ドレイン間のリーク電流は、上記入力信号を入力とする MOS トランジスタのそれよりも大きい半導体集積回路装置。

32. 演算処理装置と、マスク ROM、SRAM、DRAM のうち少なくとも一つを含む記憶装置を MOS トランジスタで構成した半導体集積回路装置であって、上記演算装置中の論理回路を構成する MOS トランジスタのゲート絶縁膜厚は、上記記憶装置のメモリセルを構成する MOS トランジスタのゲート絶縁膜よりも薄い半導体集積回路装置。

33. 同一シリコン基板上に、ソース・ゲート間あるいはドレイン・ゲート間に流れるトンネル電流の大きさが異なる複数種類の MOS トランジスタを設けるとともに、該複数種類の MOS トランジスタのうち、トンネル電流が大きい少なく

とも1つのMOSトランジスタで構成された主回路と、トンネル電流が小さい少なくとも1つのMOSトランジスタで構成され、前記主回路と2つの電源の少なくとも一方の間に挿入された制御回路とを有し、前記制御回路に供給される制御信号により、前記主回路を構成するトンネル電流が大きいMOSトランジスタのソース・ゲート間あるいはドレイン・ゲート間に電流が流れることの許容／不許容

を制御するようにしたことを特徴とする半導体集積回路装置。

34. 同一半導体基板上に、ソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さの異なる複数種類のMOSトランジスタを設けるとともに、該複数種類のMOSトランジスタのうち、上記絶縁膜の薄いMOSトランジスタで少なくとも一つの論理回路を構成し、上記絶縁膜の厚いMOSトランジスタで上記論理回路への電源の供給を制御する制御回路を構成する半導体集積回路装置。

35. ソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さが4 nm 以下の第1のMOSトランジスタと、上記絶縁膜の厚さが4 nm を越える第2のMOSトランジスタを有し、上記第1のMOSトランジスタへの電源の供給を上記第2のMOSトランジスタで制御する半導体集積回路装置。

36. 同一半導体基板上に、ソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さ、ゲート電極のキャリアの密度もしくは分布の少なくとも一つが異なるために、同一のゲート電圧で駆動した場合ソース・ゲート間あるいはソース・ドレイン間のリーク電流が異なる複数種類のMOSトランジスタを有し、該複数種類のMOSトランジスタにより少なくとも一つの論理回路を含むCPU、該CPUへ外部から信号を入出力する入出力回路、該CPUからの信号を記憶するメモリ回路を構成し、上記リーク電流の小さなMOSトランジスタで上記論理回路を構成し、上記リーク電流の大きなMOSトランジスタで上記メモリ回路を構成した半導体集積回路装置。

37. 同一半導体基板上に、ソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さ、ゲート電極のキャリアの密度もしくは分布の少なくとも一

つが異なるために、同一の電圧をソースまたはドレインとゲートの間に印加した場合、ソース・ゲート間あるいはソース・ドレイン間のリーク電流が異なる複数種類のMOSトランジスタを有し、該複数のMOSトランジスタを駆動するために電圧の異なる複数の電源を有し、該複数種類のMOSトランジスタのうち、上記リーク電流の大きな第1のMOSトランジスタは低い電圧の第1の電源で駆動し、上記リーク電流の小さな第2のトランジスタは高い電圧の第2の電源で駆動する半導体集積回路装置。

38. 同一半導体基板上に、同一のゲート電圧で駆動した場合ソース・ゲート間

あるいはソース・ドレイン間のリーク電流が異なる複数種類のMOSトランジスタを有し、該複数のMOSトランジスタを駆動するために電圧の異なる複数の電源を有し、該複数種類のMOSトランジスタのうち、リーク電流の大きな第1のMOSトランジスタは低い電圧の第1の電源で駆動し、リーク電流の小さな第2のトランジスタは高い電圧の第2の電源で駆動し、上記第2のMOSトランジスタで上記第1のMOSトランジスタへの電源の供給を制御する半導体集積回路装置。

39. 同一半導体基板上に、同一のゲート電圧で駆動した場合ソース・ゲート間あるいはソース・ドレイン間のリーク電流が大きい第1のMOSトランジスタと、リーク電流の小さい第2のMOSトランジスタを有し、上記第1のMOSトランジスタで第1の回路を構成し、上記第2のMOSトランジスタで第2の回路を構成し、第1の回路のスイッチング速度は第2の回路のスイッチング速度より早い半導体集積回路装置。

40. ソース・ゲート間あるいはソース・ドレイン間の絶縁膜の厚さが薄い第1のMOSトランジスタと、絶縁膜の厚さの厚い第2のMOSトランジスタを有し、上記第1のMOSトランジスタを早いスイッチング速度が要求される論理回路に用い、上記第2のトランジスタを上記論理回路よりも遅いスイッチング速度の回路に用い、上記第1のMOSトランジスタ回路の電源は上記第2のMOSトランジスタ回路の電源と独立に制御される半導体集積回路装置。

41. 第1のゲート電極、第1の電極及び第2の電極を備える第1のMOSトラ

ンジスタと、第2のゲート電極、第3の電極及び第4の電極を備える第2のMOSトランジスタを有し、上記第1の電極が第1の電位に、第2の電極が第2の電位に接続され、上記第1の電極と第1の電位の間及び第2の電極と第2の電位の間の少なくとも一方に上記第2のMOSトランジスタが第3の電極及び第4の電極を介して挿入されており、上記第1のMOSトランジスタのゲート絶縁膜の厚さが第2のMOSトランジスタのゲート絶縁膜の厚さよりも薄い半導体集積回路装置。

42. 前記第1のMOSトランジスタのゲート長が第2のMOSトランジスタのゲート長よりも小さい請求項41記載の半導体集積回路装置。

43. 前記第1のMOSトランジスタのゲート電圧が第2のMOSトランジスタ

のゲート電圧よりも小さい請求項41記載の半導体集積回路装置。

44. 前記第1のMOSトランジスタのゲート電圧が2V以下である請求項41記載の半導体集積回路装置。

45. 前記第1のMOSトランジスタのゲート絶縁膜の厚さが4 nm より薄く、前記第2のMOSトランジスタのゲート絶縁膜の厚さが4 nm よりも厚い請求項41記載の半導体集積回路装置。

46. 前記1のMOSトランジスタのゲート絶縁膜の厚さが3.5 nm より薄い請求項41記載の半導体集積回路装置。

47. 前記1のMOSトランジスタのゲート絶縁膜の厚さが3 nm より薄い請求項41の半導体集積回路装置。

48. 前記1のMOSトランジスタのゲート絶縁膜の厚さが2 nm より薄い請求項41の半導体集積回路装置。

49. 前記第2のMOSトランジスタのゲート絶縁膜の厚さが5 nm よりも厚い請求項41記載の半導体集積回路装置。

50. 前記第2のMOSトランジスタのゲート絶縁膜の厚さが6 nm よりも厚い請求項41記載の半導体集積回路装置。

51. 前記第2のMOSトランジスタのゲート絶縁膜の厚さが10 nm よりも厚い請求項41記載の半導体集積回路装置。



5 2. 同一シリコン基板上に、少なくとも、ソース・ゲート間あるいはドレイン・ゲート間に流れるトンネル電流の大きさが異なる複数種類のMOSトランジスタを設けるとともに、トンネル電流の大きさが異なる複数種類のMOSトランジスタのうち、トンネル電流が大きい少なくとも1つのMOSトランジスタで構成された主回路と、トンネル電流が小さい少なくとも1つのMOSトランジスタで構成され、上記主回路と2つの電源の少なくとも一方の間に挿入された制御回路とを有し、制御回路に供給される制御信号により、主回路を構成するトンネル電流が大きいMOSトランジスタのソース・ゲート間あるいはドレイン・ゲート間に電流を制御した半導体集積回路装置。

5 3. 前記トンネル電流の大きさが異なる複数種類のMOSトランジスタは、ゲート絶縁膜の厚さが異なるMOSトランジスタで構成されることを特徴とする請求項5 2記載の半導体集積回路装置。

5 4. 前記ゲート絶縁膜の厚さが異なるMOSトランジスタのうち、厚いゲート絶縁膜を有するMOSトランジスタのゲート電極側壁にフッ化水素酸に溶解しない絶縁材料からなるサイド・ウォール・スペーサを被着したことを特徴とする請求項5 3記載の半導体集積回路装置。

5 5. 前記トンネル電流の大きさが異なる複数種類のMOSトランジスタは、同一種類でかつ濃度の異なる不純物が導入されたゲート電極を有する同一導電型のMOSトランジスタで構成されることを特徴とする請求項5 2に記載の半導体集積回路装置。

5 6. 同一シリコン基板に異なる厚さのゲート絶縁膜を有する複数のMOSトランジスタを形成する半導体装置の製造方法であって、上記異なる厚さのゲート絶縁膜は別々に被着される半導体装置の製造方法。

5 7. 同一シリコン基板に異なる厚さのゲート絶縁膜を有する複数のMOSトランジスタを形成する半導体装置の製造方法であって、厚さの厚いゲート絶縁膜を厚さの薄いゲート絶縁膜よりも先に形成する半導体装置の製造方法。

5 8. 同一シリコン基板にゲート絶縁膜とゲート電極の積層構造を有するMOSトランジスタを複数有し、該複数のMOSトランジスタのなかに上記ゲート絶縁

膜の厚さが異なる第1のMOSトランジスタと第2のMOSトランジスタを含む半導体装置の製造方法であって、上記第1のMOSトランジスタのゲート絶縁膜は第2のMOSトランジスタのそれよりも薄く、上記第2のMOSトランジスタのゲート絶縁膜とゲート電極を形成した後に、上記第1のMOSトランジスタのゲート絶縁膜とゲート電極を形成する半導体装置の製造方法。

59. 所定膜厚の第1のゲート絶縁膜を有する第1のMOSトランジスタと、上記第1の絶縁膜よりも厚い第2のゲート絶縁膜を有する第2のMOSトランジスタが同一のシリコン基板上に形成されており、上記第2のMOSトランジスタのソース電極およびドレイン電極の少なくとも一方は上記第1のMOSトランジスタのソース電極またはドレイン電極とは異なるキャリア密度もしくは異なる深さの不純物注入領域からなる半導体集積回路装置。

60. 第1のゲート絶縁膜、その上の第1のゲート電極、その上の第1の保護絶縁膜を有する第1のMOSトランジスタと、第2のゲート絶縁膜、その上の第2のゲート電極、その上の第2の保護絶縁膜を有する第2のMOSトランジスタが

同一のシリコン基板上に形成されており、上記第1のゲート絶縁膜は上記第2のゲート絶縁膜よりも薄く、上記第2のゲート絶縁膜、第2のゲート電極、第2の保護絶縁膜の断面の少なくとも一部をおおうサイドウォール絶縁膜を有する半導体集積回路装置。

61. 第1のゲート絶縁膜、その上の第1のゲート電極、その上の第1の保護絶縁膜を有する第1のMOSトランジスタと、第2のゲート絶縁膜、その上の第2のゲート電極、その上の第2の保護絶縁膜を有する第2のMOSトランジスタが同一のシリコン基板上に形成されており、上記第1のゲート絶縁膜は上記第2のゲート絶縁膜よりも薄く、上記第2のゲート絶縁膜、第2のゲート電極、第2の保護絶縁膜の断面の少なくとも一部をおおうサイドウォール絶縁膜を有し、該サイドウォール絶縁層の下にシリコン基板に存在する第1の不純物注入領域と、該サイドウォール絶縁層に隣接するシリコン基板に存在し、上記サイドウォールおよび上記ゲート絶縁膜の下に存在しない第2の不純物注入領域を有する半導体集積回路装置。

6 2. ソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さが 4 nm 以下の第 1 の種類の MOS トランジスタと、上記絶縁膜の厚さが 4 nm を越える第 2 の種類の MOS トランジスタが同一のシリコン基板上に形成されており、上記第 1 の種類の MOS トランジスタのゲート長のうち最大のものが、上記第 2 の種類の MOS トランジスタのゲート長のうち最小のものよりも小さい半導体集積回路装置。

6 3. 第 1 のゲート絶縁膜、その上の第 1 のゲート電極、その上の第 1 の保護絶縁膜を有する第 1 の MOS トランジスタと、第 2 のゲート絶縁膜、その上の第 2 のゲート電極、その上の第 2 の保護絶縁膜を有する第 2 の MOS トランジスタが同一のシリコン基板上に形成されており、上記第 1 のゲート絶縁膜は上記第 2 のゲート絶縁膜よりも薄い半導体集積回路装置。

## 【発明の詳細な説明】

## 半導体集積回路装置

## 技術分野

本発明は、MOSトランジスタを構成要素に持つ半導体集積回路に関し、特に2 V以下の低電圧電源下で動作させるのに適した、トンネル電流が流れる程に薄いゲート絶縁膜を有するMOSトランジスタを用いた半導体集積回路装置に関する。

## 背景技術

微細なMOSトランジスタからなる半導体集積回路の一従来例として、「1994 カスタム・インテグレートッド・サーキット・コンファレンス (CICC)」の267ページから270ページに掲載されている「Limitation of CMOS Supply-Voltage Scaling by MOSFET Threshold-Voltage Variation」が挙げられる。この文献には、トランジスタのしきい値と待機時のリーク電流の関係が説明されている。

## 発明の開示

現在一般のMOSトランジスタでは1.8～2.5 V程度のゲート電圧（ゲート・ソース間電圧で、通常は電源電圧に等しい）で、5～6 nm程度のゲート絶縁膜を用いている。一般にMOSトランジスタの製造ルールが微細化されるにつれ、ゲート絶縁膜も薄膜化される。発明者らは次世代のMOSトランジスタでは、2 V以下のゲート電圧で、4 nm以下のゲート絶縁膜を用いたトランジスタを予想している。

MOSトランジスタの動作速度は原理的にはゲート絶縁膜の厚さに反比例して高速化すると考えられる。しかし、あまりに薄い絶縁膜にはトンネル電流が流れることが知られている。MOSトランジスタでは、本来流れないはずのソース・ゲート電流あるいはドレイン・ゲート電流といったリーク電流（トンネルリーク電流）となって現われる。そしてMOSトランジスタの待機時消費電力を増大させるという問題を生じる。以下トンネルリーク電流が流れるこのような絶縁膜を

薄ゲート絶縁膜と呼び、このような絶縁膜を用いたMOSトランジスタを薄膜MOSトランジスタと呼ぶことにする。また、トンネルリーク電流が流れないMOSトランジスタを厚膜MOSトランジスタということにする。トンネルリーク電流の問題については、月刊 semiconductor world 1995 年7月号 80～94頁に指摘があるが、この問題を解決するアイデアは提示されていなかった。

図10を用いてトンネル電流による待機時消費電力の増大について具体的に説明する。

図10(a)は、厚膜MOSトランジスタのド레인電圧・電流特性を示している。ここではゲート酸化膜の厚さを約6 nmと想定した。酸化膜厚が十分に厚いため、ゲート・ソース間およびゲート・ド레인間に流れるトンネルチーク電流は無視できる。

図10(b)は薄膜MOSトランジスタのド레인電圧・電流特性を示している。ゲート酸化膜の厚さを3.5 nmと想定した。酸化膜厚が薄いため、ゲート・ソース間およびゲート・ド레인間にリーク電流が流れる。したがって、ド레인電圧が0Vでもゲート電圧が0Vでない場合、ゲート・ド레인間に無視できない電流が流れる。(b)ではゲート電圧が2.0Vのとき、0.5mA程度のド레인電流が流れている。

厚膜MOSトランジスタで構成されたCMOS回路ではゲートリークは無視できる量なので、ソース・ド레인間にリーク電流がないかぎり定常電流(DC電流)は流れない。ところが薄膜MOSトランジスタで構成されたCMOS回路ではゲートリークが流れるので、定常電流(DC電流)が流れる。従って、回路が動作していない場合でも電力を消費することになる。

図11にはゲート絶縁膜の厚さとゲートリーク電流の関係を示す。ゲート電圧が2～3V程度あっても、絶縁膜の厚さが6 nm程度以上あればトンネルリーク電流は問題のないレベルである。一方、ゲート電圧を2～1.5Vと現状より低くしたとしても、ゲート絶縁膜の厚さが約3 nm程度に薄くなると、リーク電流の大きさが無視できなくなることがわかる。ゲート電圧2V前後ならば、絶縁膜の厚さ4 nm前後が境界と考えられる。前掲 semiconductor world によると、ゲート酸化膜の厚さ 5nm を臨界として量子力学的なトンネル効果が見られることが指摘さ

れており、ゲート酸化膜が 1.5nm と薄い場合はもちろん、3nm ~ 3.5nm 程度でも顕著な

トンネル電流が流れることが指摘されている。図 11 に示すように省電力のためにゲート電圧は小さくなる方向にあるが、それでも、ゲート絶縁膜が 2.9 nm から 2.0 nm へと薄くなると、1 V 以下のゲート電圧でも大きなリーク電流が流れることがわかる。なお、現在のところ酸化シリコンの性質を維持しうるゲート酸化膜の最小厚さは 10 オングストローム程度と推測されている。

また、MOS トランジスタのしきい値を上昇させて、ソース・ドレイン間に流れるサブスレッシヨルドリーク電流を抑制する技術を用いても、ソース・ゲート間に流れるトンネル電流に起因する待機時消費電力を低減させることは原理的に不可能である。

ゲートリーク電流（トンネル電流）はゲート絶縁膜の膜厚を厚くすることで対処でき待機時消費電力を小さくできるが、既に述べたようにそのような MOS トランジスタを回路に用いれば回路動作速度が遅くなり、所望の性能を得ることはできない。

本発明の目的は、回路動作速度を犠牲にすることなく、待機時の消費電力を小さくすることが可能な半導体集積回路装置を提供することにある。

本発明は上記目的を達成するために、トンネルリーク電流を無視しうる厚膜 MOS トランジスタと、トンネルリーク電流の問題があるが高速の動作可能な薄膜 MOS トランジスタを効果的に使い分け、低消費電力で高性能な半導体集積回路装置を提供する。

すなわち、同一基板上に、ソース・ゲート間あるいはドレイン・ゲート間に流れるリーク電流の大きさが異なる複数種類の MOS トランジスタを設けるとともに、複数種類の MOS トランジスタのうち、リーク電流が大きい少なくとも 1 つの MOS トランジスタで構成された主回路と、主回路と 2 つの電源の少なくとも一方の間に挿入され、リーク電流が小さい少なくとも 1 つの MOS トランジスタで構成された制御回路を有する半導体集積回路装置として構成される。

MOS トランジスタのゲート絶縁膜の厚さは、3.5 nm 以下でかなりの高速

性能を得ることができ、また、3.0 nm以下から、2.0 nm以下へと薄くすることにより、さらに高速となる。しかし、トンネルリーク電流も増えるため、リーク電流の小さいMOSトランジスタで、薄膜MOSトランジスタへの待機電源を遮断することが望ましい。電源遮断用のMOSトランジスタのゲート絶縁膜

の厚さは、5.0 nm以上であれば十分効果があり、高速性を要求されなければ、10.0 nm以上とすることができる。

このようなMOSトランジスタは、ゲート絶縁膜の厚さを変えたり、ゲート電極のキャリア濃度もしくは分布を変えたり、ドレインあるいはソース電極のキャリア濃度もしくは分布を変えることにより、所望の特性を得ることができる。一般に、ゲート絶縁膜の厚さを厚くすると、ゲート長の大きさも増やす必要がある。

また、製造プロセス上では、2種類のMOSトランジスタのゲート絶縁膜、ゲート電極は別々に形成すると特性制御が正確となる。特に、薄いゲート絶縁膜の方がプロセス中の特性の制御が難しいため、厚いゲート絶縁膜を先に形成し、薄いゲート絶縁膜を後に形成する方が好ましい。また、2種類のMOSトランジスタを別々に構成する際、ゲート電極層の上に保護用の絶縁膜を形成しておくこと、次のプロセスによるゲート電極の劣化を防止することができる。

ここで、本発明の半導体集積回路装置において、特に高速性を要求される情報信号を処理する部分、例えば CPU 中の論理回路（NAND, NOR 等の論理ゲート）、ラッチ、高速性が要求されるメモリ、などは薄膜MOSトランジスタで構成することが望ましい。

また、これら薄膜MOSトランジスタの待機中の電源を遮断するスイッチは電源遮断用トランジスタとして厚膜MOSトランジスタを用いるのが好ましい。さらに、高速性が要求されない回路、また、高耐圧が要求される回路は厚膜MOSトランジスタで構成するのがよい。例えば、高速性が要求されないSRAM、DRAM、マスクROMなどのメモリセル、ゲート絶縁膜破壊防止のために挿入される保護回路などである。また、高電圧が印加される厚膜MOSトランジスタのソース・ドレイン構造は LDD 型のような電界緩和構造とすることが望ましい。

また、本発明の半導体集積回路装置を集積回路チップとして構成した場合には、チップ内外の信号レベルが異なる場合があるため、信号のレベル変換を行うレベル変換回路を備えることが望ましいが、このとき、チップ外部の高い信号レベルがかかる部分には厚膜MOSトランジスタを、チップ内部の低い信号レベルがかかる部分には薄膜MOSトランジスタを用いることが回路の信頼性からも望ましい。

厚膜MOSトランジスタで構成されるメモリセルは機能的にはレジスタファイル、キャッシュメモリ、TBL、およびDRAMセルのうちの少なくとも一つを含み、スタンバイ時にデータを保持するように構成されるのが好ましい。しかし、メモリセルはアクセス速度の速い第1の種類のメモリと、それよりアクセス速度の遅い第2の種類のメモリを含み、第1のメモリを構成するMOSトランジスタのリーク電流は、第2のメモリを構成するMOSトランジスタのリーク電流よりも大きいように階層的に構成しても良い。

さらに、電源遮断用トランジスタが薄膜MOSトランジスタの電源を遮断したとき、薄膜MOSトランジスタで構成される論理回路などの出力を保持するレベル保持回路を有することにより、薄膜MOSトランジスタの電源遮断による影響をなくすることができる。このレベル保持回路はリーク電流が小さい厚膜MOSトランジスタで構成するのが好ましい。

本発明に用いるような、薄膜MOSトランジスタはゲート電圧が2Vに達しない0.8V、もしくは、1.2V程度の電圧で動作されるときであっても、リーク電流が大きくなるので、上記のような待機中の電源の遮断は消費電流低減の効果大である。

なお、このように、リーク電流が大きいMOSトランジスタとリーク電流が小さいMOSトランジスタは異なるゲート電圧で駆動されることが望ましい。具体的には、リーク電流が大きいMOSトランジスタは、リーク電流が小さいMOSトランジスタよりも低い電圧をゲートとソースもしくはドレインの間に印加して駆動される。

また、本願発明の一側面はソース・ゲート間あるいはドレイン・ゲート間に存



在する絶縁膜の厚さが4 nm以下の第1のMOSトランジスタと、この絶縁膜の厚さが4 nmを越える第2のMOSトランジスタが同一のシリコン基板上に形成されている半導体集積回路装置としても特徴化される。

また、本願発明の他の側面ではソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さが4 nm以下の第1のMOSトランジスタと、ソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さが第1のMOSトランジスタのそれよりも厚い第2のMOSトランジスタを有し、第1のMOSトランジスタのソース・ゲート間あるいはドレイン・ゲート間に流れる電流を第2のMOSトランジスタで制御する半導体集積回路装置である。

また、他の一側面ではソース・ゲート間あるいはドレイン・ゲート間に存在する絶縁膜の厚さが4 nm以下の第1のMOSトランジスタと、第1のMOSトランジスタへの電源の供給を遮断する第2のMOSトランジスタを有し、電源の遮断中において第1のMOSトランジスタの出力をホールドするレベルホールド回路を有する半導体集積回路装置として具体化される。

さらにまた他の側面ではソース・ゲート間あるいはドレイン・ゲート間に流れるリーク電流の大きい第1のMOSトランジスタと、リーク電流が第1のMOSトランジスタよりも小さい第2のMOSトランジスタが同一のシリコン基板上に形成されており、第2のMOSトランジスタを第1のMOSトランジスタよりも高電圧の電源で駆動する半導体集積回路装置として表される。

また、本発明の集積回路構成は、振幅電圧  $V_{cc2}$  の入力信号を入力してこれに 응답する半導体集積回路装置であって、入力信号の振幅電圧を  $V_{cc1}$  に降下させて内部信号を形成するレベル変換回路を有し、内部信号を入力とするMOSトランジスタのゲート・ソース間あるいはゲート・ドレイン間のリーク電流は、入力信号を入力とするMOSトランジスタのそれよりも大きい半導体集積回路装置として具体化される。

また、本願発明を特にマイコンなどの集積回路装置に適用すると、演算処理装置と、マスクROM、SRAM、DRAMのうち少なくとも一つを含む記憶装置をMOSトランジスタで構成した半導体集積回路装置であって、演算装置中の論

理回路を構成するMOSトランジスタのゲート絶縁膜厚は、記憶装置のメモリセルを構成するMOSトランジスタのゲート絶縁膜よりも薄い半導体集積回路装置として構成されることが望ましい。

本発明は、また同一シリコン基板上に、少なくとも、ソース・ゲート間あるいはドレイン・ゲート間に流れるトンネル電流の大きさが異なる複数種類のMOSトランジスタを設けるとともに、トンネル電流の大きさが異なる複数種類のMOSトランジスタのうち、トンネル電流が大きい少なくとも1つのMOSトランジスタで構成された主回路と、トンネル電流が小さい少なくとも1つのMOSトランジスタで構成され、主回路と2つの電源の少なくとも一方の間に挿入された制御回路とを有し、制御回路に供給される制御信号により、主回路を構成するトン

ネル電流が大きいMOSトランジスタのソース・ゲート間あるいはドレイン・ゲート間に電流が流れることの許容／不許容を制御するようにしたことを特徴としている。

また、複数種類のMOSトランジスタは、ゲート絶縁膜の厚さが異なるMOSトランジスタ、または、同一種類でかつ濃度の異なる不純物が導入されたゲート電極を有する同一導電型のMOSトランジスタで構成されることを特徴としている。

さらに、ゲート絶縁膜の厚さが異なるMOSトランジスタで構成した場合、厚いゲート絶縁膜を有するMOSトランジスタのゲート電極側壁にフッ化水素酸に溶解しない絶縁材料からなるサイド・ウォール・スペーサを被着したことを特徴としている。このサイド・ウォール・スペーサは、前述の LDD 構造を形成する際のマスクとして用いることもできる。

#### 図面の簡単な説明

図1は本発明の半導体集積回路装置を製造する一実施例を示す断面図である。図2は本発明の半導体集積回路装置を製造する他の一実施例を示す断面図である。図3は本発明の半導体集積回路装置の一実施例を示す平面図である。図4は図3のA-A'の断面図である。図5は本発明の実施例の回路図である。図6は本発明の他の実施例を示す回路図である。図7は本発明の他の実施例を示す回路図

である。図 8 は本発明の他の実施例を示す回路図である。図 9 は本発明の他の実施例を示す回路図である。図 10 は通常の MOS トランジスタおよびゲート絶縁膜にトンネル電流が流れる MOS トランジスタの典型的電流特性である。図 11 はゲート絶縁膜の厚さとゲート電流密度の関係を表すグラフ図である。図 12 は本発明の他の実施例を示す回路図である。図 13 は本発明の他の実施例を示す回路図である。図 14 は本発明の他の実施例を示す回路図である。図 15 は本発明の他の実施例を示す回路図である。図 16 は本発明の他の実施例を示す回路図である。図 17 は本発明の他の実施例を示す回路図である。図 18 は本発明の他の実施例を示す回路図である。図 19 は本発明の他の実施例を示す回路図である。

図 20 は本発明の他の実施例を示す回路図である。図 21 は本発明の他の実施例を示す回路図である。図 22 は本発明の集積回路チップの平面図。図 23 は本発明の他の実施例である集積回路チップの平面図。図 24 は本発明の他の実施例で

ある集積回路チップの平面図。図 25 は本発明の他の実施例である集積回路チップの平面図。図 26 は本発明の他の実施例である集積回路チップの平面図。図 27 は本発明の降圧回路の回路図。図 28 は本発明の他の実施例である降圧回路の回路図。図 29 は本発明の他の実施例である降圧回路の回路図。図 30 は入出力回路の回路図。図 31 はレベルホールド付レベル変換回路の回路図。図 32 は他のレベルホールド付レベル変換回路の回路図。第 33 図はスタンバイ制御回路の回路図。図 34 は本発明のマイクロコンピュータのブロック図。図 35 は入出力回路の断面図。図 36 は本発明のマスク ROM の回路図。図 37 は本発明のマスク ROM の他の回路図。図 38 は図 37 のマスク ROM の部分断面図。図 39 は本発明のマスク ROM の他の回路図。図 40 は図 39 のマスク ROM の部分断面図。図 41 は本発明のマスク ROM の他の回路図。図 42 は図 41 のマスク ROM の部分断面図。図 43 は本発明の

DRAM の回路構成図。図 44 は図 43 のセンスアンプの回路図。図 45 は図 43 のセンスアンプ駆動信号発生回路の回路図。図

46 は図 43 のメインアンプの回路図。図 47 は本発明の SRAM の回路図。図 48 は図 47 のワードデコーダ、ワードドライバ、レベル変換回路を示す回路図。図 49 は図 47 のセンスアンプ及びライト回路を示す回路図。図 50 は本発明の n

型MOSトランジスタの要部拡大断面図。

#### 発明を実施するための最良の形態

本発明の好適な実施の形態では、ソース・ゲート間あるいはドレイン・ゲート間にトンネル電流が流れるMOSトランジスタと実質的にこのようなトンネル電流が流れない（または流れても非常に小さい）MOSトランジスタを同一シリコン基板上に設け、トンネル電流が流れるMOSトランジスタを論理素子などの主回路として用い、トンネル電流が流れない（または流れても非常に小さい）MOSトランジスタを該主回路への電源供給／遮断制御用の制御回路として用いる。この構成により、回路動作速度を犠牲にすることなく、待機時の消費電力を小さくすることが可能になる。

以下、本発明の半導体集積回路装置を図面を用いて説明する。

図1および図2は、最小加工寸法0.18ミクロンの際に、トンネル電流が流れるMOSトランジスタと実質的にこのようなトンネル電流が流れない（または流れても非常に小さい）MOSトランジスタを同一シリコン基板上に設けた半導

体集積回路装置の製造手順を説明する図である。図1は厚さの異なる絶縁膜を用いた本発明の第1の実施例を、図2は不純物濃度を利用した本発明の第2の実施例を示している。尚、ここで言う最小加工寸法は、通常はMOSトランジスタの加工ゲート長で規定され、ソースおよびドレインとゲート電極の重なりは殆ど無い。一方、ゲート長の形状加工寸法よりも、電気的な特性を評価して得られるゲート長を、取えて短くする製造方法も存在する。その場合、電気的特性に基づいたゲート長、すなわち「実効ゲート長」が重要となる。図

1および図2では、ゲート長の形状加工寸法と実効ゲート長とに殆ど差が無い形態を示すが、ゲート長の形状加工寸法より実効ゲート長を意図的に短くする製造方法でも、本技術の適用が可能である旨、明言しておく。

図1を用いて本発明の第1の実施例を説明する。本実施例は、ゲート絶縁膜の厚さを変えることによってトンネル電流が流れるMOSトランジスタと実質的にこのようなトンネル電流が流れないMOSトランジスタを製造する例である。本実施例はp型MOSトランジスタおよびn型MOSトランジスタ双方で、2種類

のゲート絶縁膜厚を有するものを製造するが、図が煩雑になることを防ぐため、ここではp型MOSトランジスタの断面のみを記載する。n型シリコン基板101上に、熱酸化膜300nmからなる素子分離絶縁領域102、n型不純物層103およびn型不純物層104を形成する。103および104は平均濃度  $1 \times 10^{17} / \text{cm}^3$  程度であり、本来、同一チップ内に存在するn型MOSトランジスタ（薄膜、厚膜共）との素子分離に必要な領域である。103および104への不純物導入方法は特に問わない。

各MOSトランジスタのしきい値が所望の値になるようにイオン打ち込みを行った後、全面に厚さ10nmのシリコンの熱酸化膜105を形成し、続いて厚さ120nmのポリシリコン層106を全面に被着する。106全面にリンイオンを導入して、ポリシリコン層106内部のリン平均濃度を  $1 \times 10^{20} / \text{cm}^3$  以上に調整する。この時のリンイオン導入方法は、加速エネルギー40KeV程度で  $2 \times 10^{15} / \text{cm}^2$  程度のイオン打ち込みを用いてもよく、あるいはボロン・ドーパント・ポリシリコンやブリデポジションを用いてもよい。続いて、全面に膜厚50nmのシリコン酸化膜からなるゲート電極保護膜107を被着する(a)。107の作用については、後述する。

熱酸化膜105、ポリシリコン層106およびゲート電極保護膜107をフォトリソグラフィとドライエッチング工程により加工し、ショート・チャネル効果を考慮して加工ゲート長0.18 $\mu\text{m}$ 以上のゲート電極108を形成する。このゲート電極108は厚膜MOSトランジスタのゲート電極を構成する。ゲート電極をマスクとして、フッ化ボロンを20KeVで  $2 \times 10^{14} / \text{cm}^2$  程度導入しp型導電層109Lとなし、ゲート電極108に対するLDD型(Lightly Doped Drain)ソース・ドレイン領域とする。その理由は、厚膜MOSトランジスタに印可される電圧は、ホットキャリアによる特性劣化の影響を受けなくなるほどには低くないからである。信頼性確保のため、LDD構造に代表される電界緩和構造の採用が望ましい。p型不純物の導入はイオン打ち込みを用い、平均濃度  $5 \times 10^{18} / \text{cm}^3$  程度とする。これは、必用とするMOSトランジスタの特性に応じて、調整して構わない。

ゲート電極 108 の側壁には窒化シリコンからなる厚さ 100 nm のサイドウォール・スペーサ 110 を形成する。サイドウォール・スペーサ 110 は、この後全面をフッ化水素酸で洗浄する際に、ゲート電極 108 直下の酸化シリコン膜（この膜はゲート電極 108 のゲート絶縁膜として機能する）が浸食されないための保護膜として機能する。この直後にフッ化ボロンを 20 KeV で  $2 \times 10^{15} / \text{cm}^2$  程度導入し p 型導電層 109 とし、ゲート電極 108 に対するソース・ドレイン領域とする。p 型不純物の導入はイオン打込みを用い、平均濃度  $5 \times 10^{19} / \text{cm}^3$  程度とする。

このように形成されたゲート電極 108 を有する MOS トランジスタのゲート絶縁膜は、本実施例では、10 nm である。本例に示した 0.18  $\mu\text{m}$  のゲート長で MOS トランジスタを設計した場合、電源電圧は 1.8 ~ 1.5 V となる。ゲート酸化膜中の電界は 1.8 MV/cm<sup>2</sup> 程度となる。トンネル電流は 10 ~ 20 A/cm<sup>2</sup> 以下と非常に小さく、MOS トランジスタの正常な動作を妨げることはない。ゲートリーク電流による消費電力の増大もない。この p 型 MOS トランジスタは、ゲート絶縁膜が厚い（本実施例では 10 nm）ためにトンネル電流は殆ど流れない。この p 型 MOS トランジスタは、電源から主回路へ電荷を供給（ON 時）したり遮断（OFF 時）したりするために使用される。

次に、サイドウォール・スペーサ 110 を形成した後、全面をフッ化水素酸で洗浄し、素子分離絶縁領域 102、ゲート電極 108 が形成された領域以外、即ちシリコン基板 101 が露出した表面に、厚さ 3.5 nm の熱酸化膜 111 を形成する。引き続き厚さ 180 nm のポリシリコン 112 を全面に被着させる。ポリシリコン 112 全面にリンイオンを加速エネルギー 25 KeV で  $5 \times 10^{15} / \text{cm}^2$  程度導入し、不純物平均濃度  $1 \times 10^{20} / \text{cm}^3$  程度の n 型ポリシリコンにする。その直上に、膜厚 100 nm の酸化シリコン 113 を被着する (b)。113 はゲート電極の保護膜である。

熱酸化膜 111、ポリシリコン 112 および酸化シリコン 113 をフォトリソグラフィ工程およびドライエッチング工程により加工し、ゲート長 0.18  $\mu\text{m}$  のゲート電極 114 とする。ゲート電極 114 は薄膜 MOS トランジスタのゲー

トを構成する。ここで、先の工程で形成した107がなければ、113の加工時には、厚膜MOSトランジスタのゲート電極106も同時に除去されてしまう。本製造形態では107は必要である。この直後に、フッ化ボロン20KeV、 $2 \times 10^{15} / \text{cm}^2$ 程度のイオン打込みによりp型ソース・ドレイン領域115を設ける(c)。薄膜MOSトランジスタで適用される電圧はかなり低くなるため、厚膜MOSトランジスタで懸念されるようなホットキャリアの影響は少なくなるので、LDD構造のような電界緩和構造とする必要はない。

続いて、ショードチャネル効果抑制のためのイオン打込みを行なうが、図が煩雑になることを防ぐためここでは記載を省略してある。そして層間絶縁膜116を形成した後、第1の金属配線層117をもって各トランジスタの端子を接続する(d)。必要に応じて、第2、第3の配線層を形成する。この薄いゲート酸化膜を有するMOSトランジスタは、電源電圧1.8Vという低電源電圧であっても、ゲート酸化膜にかかる電界は $5 \text{ MV} / \text{cm}^2$ 以上となり、ゲートリーク電流は $1 \times 10^{-6} \text{ A} / \text{cm}^2$ になる。この薄いゲート酸化膜を有するMOSトランジスタは、従来のスケーリング則に従って製造されており、主回路に使用するのに適している。尚、厚膜MOSトランジスタのゲート長は薄膜MOSトランジスタのゲート長、即ち、同一チップ内に存在するトランジスタの最小ゲート長よりも大きくすることが望ましい。厚膜MOSトランジスタのしきい値は薄膜MOSトランジスタのそれよりも高く設定する必要がある。しかし、同一のゲート長でゲート酸化膜のみを厚くすると、しきい値が低くなる傾向にあることがよく知

られている。しきい値が低くなると、MOSトランジスタが完全にオフしない状態になりやすい、即ち、サブスレッショルド電流により、薄膜MOSトランジスタに電流が供給されてしまう。これでは本発明の効果を発揮できなくなる。この現象は、ソース・ドレインの距離を大きくする、即ち、ゲート長を大きくすることで解決できる。この方法は、一般に「スケーリング則」として呼び習わされてきた、MOSトランジスタの設計指針と整合性が良い。即ち、スケーリングしなかったMOSトランジスタを適用すれば十分である。但し、その分、面積が増大することは否めない。

他の方法として、厚膜MOSトランジスタのチャネル部の不純物濃度を高くする方法が挙げられる。この手法は、先の方法よりもゲート長を小さくできるので、チップにおけるMOSトランジスタの占める面積を小さく抑える長所がある。短所としては、MOSトランジスタの内部にかかる電界が、スケーリング則で規定される以上に大きくなるため、MOSトランジスタの耐圧や信頼性が低くなることである。

図50は、n型MOSトランジスタのみを記載した形態である。これは図1で説明したMOSトランジスタと同一基板上に製造することを前提にしている。以下、簡略に製造方法を説明する。

n型シリコン基板5101上に、熱酸化膜300nmからなる素子分離絶縁領域5102、n型不純物層5103およびn型不純物層5104を形成する。5103および5104は平均濃度  $1 \times 10^{17} / \text{cm}^3$  程度であり、本来、同一チップ内に存在するp型MOSトランジスタ（薄膜、厚膜共）との素子分離に必要な領域である。5103および5104への不純物導入方法は特に問わない。

各MOSトランジスタのしきい値が所望の値になるようにイオン打ち込みを行った後、全面に厚さ10nmのシリコンの熱酸化膜5105を形成し、続いて厚さ120 nmのポリシリコン層5106を全面に被着する。5106全面にボロンイオンを導入して、ポリシリコン層5106内部のボロン平均濃度を  $1 \times 10^{20} / \text{cm}^3$  以上に調整する。この時のボロンイオン導入方法は、加速エネルギー40KeV程度で  $2 \times 10^{15} / \text{cm}^2$  程度のイオン打ち込みを用いてもよく、あるいはボロン・ドープト・ポリシリコンを用いてもよい。続いて

、全面に膜厚50nmのシリコン酸化膜からなるゲート電極保護膜5107を被着する(a)。

熱酸化膜5105、ポリシリコン層5106およびゲート電極保護膜5107をフォトリソグラフィとドライエッチング工程により加工し、ショート・チャネル効果を考慮して加工ゲート長0.18 $\mu\text{m}$ 以上のゲート電極5108を形成する。このゲート電極5108は厚膜MOSトランジスタのゲート電極を構成する



。ゲート電極をマスクとして、ヒ素を  $35 \text{ KeV}$  で  $2 \times 10^{14} / \text{cm}^2$  程度導入し  $n$  型導電層 5109L となし、ゲート電極 5108 に対する LDD 型 (Lightly Doped Drain) ソース・ドレイン領域とする。その理由は、図 1 で詳述した通りである。この  $n$  型不純物の導入はイオン打込みを用い、平均濃度  $5 \times 10^{18} / \text{cm}^3$  程度とする。これは、必用とする MOS トランジスタの特性に応じて、調整して構わない。

ゲート電極 5108 の側壁には窒化シリコンからなる厚さ  $100 \text{ nm}$  のサイドウォール・スペーサ 5110 を形成する。サイドウォール・スペーサ 5110 は、この後全面をフッ化水素酸で洗浄する際に、ゲート電極 5108 直下の酸化シリコン膜 (この膜はゲート電極 5108 のゲート絶縁膜として機能する) が浸食されないための保護膜として機能する。この直後にリンを  $40 \text{ KeV}$  で  $2 \times 10^{15} / \text{cm}^2$  程度導入し  $n$  型導電層 5109 となし、ゲート電極 5108 に対するソース・ドレイン領域とする。  $n$  型不純物の導入はイオン打込みを用い、平均濃度  $5 \times 10^{19} / \text{cm}^3$  程度とする。

このように形成されたゲート電極 5108 を有する MOS トランジスタのゲート絶縁膜は、本実施例では、 $10 \text{ nm}$  である。

次に、サイドウォール・スペーサ 5110 を形成した後、全面をフッ化水素酸で洗浄し、素子分離絶縁領域 5102、ゲート電極 5108 が形成された領域以外、即ちシリコン基板 5101 が露出した表面に、厚さ  $3.5 \text{ nm}$  の熱酸化膜 5111 を形成する。引き続き厚さ  $180 \text{ nm}$  のポリシリコン 5112 を全面に被着させる。ポリシリコン 5112 全面にボロンイオンを加速エネルギー  $40 \text{ KeV}$  で  $5 \times 10^{15} / \text{cm}^2$  程度導入し、不純物平均濃度  $1 \times 10^{20} / \text{cm}^3$  程度の  $p$  型ポリシリコンにする。その直上に、膜厚  $100 \text{ nm}$  の酸化シリコン 5113 を被着する (b)。

熱酸化膜 5111、ポリシリコン 5112 および酸化シリコン 5113 をフォトリソグラフィ工程およびドライエッチング工程により加工し、ゲート長  $0.18 \mu\text{m}$  のゲート電極 5114 とする。ゲート電極 5114 は薄膜 MOS トランジスタのゲートを構成する。この直後に、ヒ素  $40 \text{ KeV}$ 、 $2 \times 10^{15} / \text{cm}^2$

程度のイオン打込みにより n 型ソース・ドレイン領域 5 1 1 5 を設ける (c)

続いて、ショートチャネル効果抑制のためのイオン打込みを行なうが、図が煩雑になることを防ぐためここでは記載を省略してある。そして層間絶縁膜 5 1 1 6 を形成した後、第 1 の金属配線層 5 1 1 7 をもって各トランジスタの端子を接続する (d)。必要に応じて、第 2、第 3 の配線層を形成する。

図 2 を用いて本発明の第 2 の実施例を説明する。本実施例は、ゲートおよびソース部分の不純物濃度を変えることによってトンネル電流が流れる MOS トランジスタと実質的にこのようなトンネル電流が流れない MOS トランジスタを製造する例である。本実施例では、第 1 の実施例 (図 1) と同様に、p 型 MOS トランジスタの断面のみを記載する。n 型シリコン基板 2 0 1 上に、素子分離絶縁領域 2 0 2、n 型不純物層 2 0 3 および p 型不純物層 2 0 4 を形成する。ここで n 型不純物層 2 0 3 は、主回路を構成するトランジスタのウエル領域に供するものであり、n 型不純物層 2 0 4 は主回路への電源供給および電源遮断用 MOS トランジスタのウエルに供するものである。n 型不純物層 2 0 3 および 2 0 4 の不純物平均濃度は  $1 \times 10^{17} / \text{cm}^3$  程度である。n 型不純物層 2 0 3 および 2 0 4 への不純物導入方法は特に問わない。各トランジスタを形成する領域に、しきい値調整用イオンをイオン打込みで導入した後、露出した基板表面に厚さ 3.5 nm のシリコンの熱酸化膜 2 0 5 を形成する。続いて、2 0 5 直上全面に厚さは 180 nm のポリシリコン層 2 0 6 を被着する (a)。

通常の回路動作をするためのトランジスタを形成する領域へは、リンイオン 2 0 7 a を加速エネルギー 25 KeV で  $2 \times 10^{15} / \text{cm}^2$  導入して、n 型ポリシリコン 2 0 7 とする。

電源遮断の機能を持つトランジスタを形成する領域へのリンイオン 2 0 8 a の導入は、35 KeV で  $2 \times 10^{15} / \text{cm}^2$  導入して、n 型ポリシリコン 2 0 8 を形成する (b)。

これらのボロンイオン導入工程の差異により、電源遮断の機能を持つトランジスタのゲート電極は上部のみ不純物濃度が高くなり (ほぼ  $1 \times 10^{20} / \text{cm}^3$

）、ゲート絶縁膜に近いゲート電極下部の不純物濃度は低くなる（ほぼ $1 \times 10^{17} / \text{cm}^3$ ）。従って、ゲート電極下部のキャリア濃度は低くなり、ゲート絶縁膜の厚いMOSトランジスタに電氣的に類似した特性を示す。即ち、ゲート絶縁膜に流れるトンネル電流を小さく抑えることができる。

リンイオン207aおよび208aの打込み後、全面に100nmのシリコン酸化膜209を堆積する。熱酸化膜205、n型ポリシリコン208、およびシリコン酸化膜209をフォトリソグラフィとドライエッチング工程により加工し、ゲート電極210および211を形成する(c)。ゲート電極210のゲート長は $0.18 \mu\text{m}$ とする。ゲート電極211はゲート酸化膜が厚く見えるので、ショートチャネル効果を考慮してゲート長を $0.18 \mu\text{m}$ 以上とする。ゲート電極210および211形成直後にp型導電層212を形成し、ゲート電極210に対するソース・ドレイン領域とする。同様に、p型導電層213を形成し、ゲート電極211に対するソース・ドレイン領域とする(d)。p型不純物の導入はイオン打込みを用い、フッ化ボロンを20KeV、 $2 \times 10^{15} / \text{cm}^2$ 程度導入する。ショートチャネル効果抑制のためのイオン打込みは、図が煩雑になることを防ぐためここでも記載を省略してある。層間絶縁膜214を形成した後、第1の金属配線層215をもって各トランジスタの端子を接続する。必要に応じて、第2、第3の配線層を形成する。なお、第2の実施例(図2)の方法は、酸化膜のトンネル電流を根本的に低減させるまでの効果はないので、図1記載の形態よりは消費電力低減効果は小さい。一方、単なるイオンの打ち分けのみで済むプロセスであるから、簡便に製造できる長所がある。製造後のチェックは、実際に動作させる必要がある図2のプロセスによるものよりも、ゲート絶縁膜の厚さを測定するだけで良い図1のプロセスによるものの方が有利である。

次に、図3および図4を用いて本発明の第3の実施例を説明する。図3および図4は本発明に係わる半導体集積回路装置の具体的構成例で、図3は本実施例のレイアウト図であり、図4は、図3のレイアウト図のA-A'間の断面図である。本回路装置は連続した2NANDゲート回路をもった例である。

図3において、MPおよびMNは電源遮断用(制御回路用)のMOSトランジ

スタであり、ゲート絶縁膜の厚さは5 nm程度でも使用可能であるが、本実施例では10 nmである。また、TPおよびTNは論理回路用（主回路用）のMOSトランジスタであり、ゲート絶縁膜の厚さは3.5 nmである。本実施例ではこのように、ゲート絶縁膜の厚さの異なる2種類のMOSトランジスタを用いている。このとき、ゲート絶縁膜の厚さの厚いMOSトランジスタのゲート長 $L_M$ は、ゲート絶縁膜の厚さの薄いMOSトランジスタのゲート長よりも大きくしている。これは前述の通り、ゲート絶縁膜に適したゲート長を設定する必要があり、絶縁膜が厚いときにゲート長が短いと、ソース・ドレイン間のサブスレッシヨルドリークが生じ、on/off が完全に行えなくなるからである。

図4を用いて本実施例における半導体集積回路装置の内部構造を説明する。この実施例においては基本的に薄膜MOSトランジスタを用いて高速の動作を得ているが、薄膜MOSトランジスタの待機時におけるリーク電流の消費を防止するために、待機時の電源を遮断するスイッチを設けるものである。そして、このスイッチの部分にはトンネルリーク電流の小さな厚膜MOSトランジスタを用いる。

n型基板301上にp型ウエル302を設け、素子分離領域303を設ける。304ないし307は論理回路用MOSトランジスタTPのソース・ドレイン領域、308および309は電源遮断用MOSトランジスタMPのソース・ドレイン領域である。310および311は論理回路用MOSトランジスタTPのゲート電極、312は電源遮断用MOSトランジスタMPのゲート電極である。GITはTPのゲート酸化膜、GIMはMPのゲート酸化膜である。

第1の層間膜313を形成し、それを穿孔して第1の配線層314、315、316、317により各トランジスタのソース、ドレインおよびゲート電極に結線する。配線層314および316は論理回路用MOSトランジスタpMOSLのソース領域へ、配線層315は論理回路用MOSトランジスタpMOSLのドレイン領域へ接続されている。配線層317は論理回路用MOSトランジスタpMOSLのソース領域と電源遮断用MOSトランジスタpMOSVのドレイン領域を接続している。配線層318は電源遮断用MOSトランジスタpMOSVのソース領域へ接続されている。

第2の層間膜319を形成した後、それを穿孔して第2の配線層320、32

1を前記第1の配線層の所望の領域に結線する。配線層320は電源遮断用MOSトランジスタpMOSVのドレインをシャントする。配線層321は電源遮断用MOSトランジスタpMOSVのソースをシャントする第1の電源線である。配線層321は穿孔した第2の層間膜319を通じて第1の配線層318へ結線される。以上のレイアウトにより、論理回路用MOSトランジスタpMOSLおよびnMOSLで構成される論理回路と第1の電源との接続を電源遮断用MOSトランジスタpMOSVで制御できる。なお、ここでもp型の電源遮断用MOSトランジスタpMOSVのみを記したが、厚いゲート絶縁膜を有するn型の電源遮断用MOSトランジスタnMOSVを、論理回路用MOSトランジスタnMOSLと第2の電源線の間に接続することもできる。以降説明する回路図（図5、図6ないし図9参照）ではこの構成も記載してある。

図5を用いて本発明の第4の実施例を説明する。図5は、本発明を最も簡単なインバータ回路に適用したものである。

図5において、L1はCMOSインバータであり、TP1およびMP1はp型MOSトランジスタ、TN1およびMN1はn型MOSトランジスタである。（本出願のトランジスタ回路図では以降、p型MOSトランジスタはゲート端子部に○印を付けて記す。）TP1およびTN1はそれぞれ図1のTPおよびTNに対応する。TP1およびTN1のMOSトランジスタのゲート絶縁膜厚はMP1およびMN1のMOSトランジスタのゲート絶縁膜厚よりも薄い。以下、TP1およびTN1のように薄いゲート絶縁膜を使用したトランジスタを薄膜MOSトランジスタまたは薄膜トランジスタ、MP1およびMN1のように厚いゲート絶縁膜を使用したトランジスタを厚膜MOSトランジスタまたは厚膜トランジスタと記す。（本出願のトランジスタ回路図では以降、薄膜MOSトランジスタは円で囲んで示す。）なお、通常、TFT（Thin Film Transistor）と呼ばれる薄膜トランジスタは絶縁基板上に薄膜形成技術で作ったものであるが、本発明でいう薄膜、厚膜トランジスタは単純にゲート絶縁膜の厚さの比較だけで便宜上定義付けしているものであることに注意されたい。

CMOSインバータL1と第1の電源V<sub>dd</sub>、第2の電源V<sub>ss</sub>の間に厚膜MOSトランジスタMP1およびMN1が挿入されている。この回路を使用して信号を処理する際（定常時）には、制御信号CSを‘H’とする。この信号により、厚膜MOSトランジスタMP1およびMN1はONし、第1の電源V<sub>dd</sub>および第2の電源V<sub>ss</sub>を直接インバータL1に接続する。CMOSインバータL1は薄膜MOSトランジスタTP1およびTN1で構成されているので、そのゲート・ソース間およびゲート・ドレイン間にリーク電流（トンネル電流）が流れる。このリーク電流は厚膜MOSトランジスタMP1およびMN1を通じて第1の電源V<sub>dd</sub>と第2の電源V<sub>ss</sub>間に流れ、回路全体としての消費電力が増加する。この回路を使用しない時、すなわち待機時には、制御信号CSを‘L’とする。この時、厚膜MOSトランジスタMP1およびMN1はOFFし、第1の電源V<sub>dd</sub>、第2の電源V<sub>ss</sub>とCMOSインバータL1は分離される。上記ゲート・ソース間およびゲート・ドレイン間のリーク電流は、厚膜MOSトランジスタMP1およびMN1がオフであるため第1の電源V<sub>dd</sub>と第2の電源V<sub>ss</sub>間に流れることはない。この時、第1の電源V<sub>dd</sub>および第2の電源V<sub>ss</sub>が供給されないでCMOSインバータL1はインバータとして機能しないが（CSが‘L’の時、出力OUTはハイインピーダンス状態になる。）、厚膜MOSトランジスタMP1およびMN1によって、上記リーク電流による消費電力増加を防ぐことができる。この実施例では厚膜MOSトランジスタのゲート絶縁膜の厚さを3.5nm、薄膜MOSトランジスタのゲート絶縁膜の厚さを60nmとしたが、膜厚の差が少しでもあれば（すなわち、厚膜トランジスタのトンネルリーク電流が薄膜トランジスタのトンネルリーク電流より少なければ）、待機時のリーク電流減少の効果をj得ることができる。なお、通常クロックドインバータ回路と呼ばれる回路はCSをクロック入力にした形になっているが、MP1とTP1およびMN1とTN1が直列接続になっていれば、MP1とTP1の順番および、MN1とTN1の順番を変えても回路動作には支障がない。本発明の回路ではMP1とTP1の接続順番を変えたり、MN1とTN1の接続順番を変えたりするとその効果がなくなるという点で性質の異なるものである。

次に、図6および図7を用いて本発明の第5の実施例を説明する。本実施例は、本発明を薄膜PMOSトランジスタTP1ないしTP3と薄膜n型MOSトランジスタTN1ないしTN3から構成された3段構成のCMOSインバータに適用した実施例である。

同図において、p型MOSトランジスタMP1ないしMP3およびn型MOSトランジスタMN1ないしMN3は厚膜トランジスタである。

図6では、回路の第1の電源V<sub>dd</sub>および第2の電源V<sub>ss</sub>と3個のCMOSインバータの各電源電極V<sub>cd1</sub>、V<sub>cs1</sub>ないしV<sub>cd3</sub>、V<sub>cs3</sub>間に厚膜MOSトランジスタを挿入している。厚膜MOSトランジスタに印加する制御信号CSを‘L’にすることで、薄膜MOSトランジスタTP1ないしTP3、TN1ないしTN3のゲート・ソース間およびゲート・ドレイン間に流れる電流を小さくすることができ、消費電力を削減できる。

図7の実施例では、3段のインバータを形成する薄膜MOSトランジスタのソースを仮想電源線V<sub>cd0</sub>、V<sub>cs0</sub>に接続し、仮想電源線V<sub>cd0</sub>、V<sub>cs0</sub>および第1の電源V<sub>dd</sub>、第2の電源V<sub>ss</sub>の間に厚膜MOSトランジスタを挿入している。この構成により図6の場合と同様の効果が得られる。

図6と図7を比較すると、図7の方が小面積になることが多い。MP1ないしMP3およびMN1ないしMN3のゲート幅は、それぞれのインバータの遅延時間が、MP1ないしMP3およびMN1ないしMN3を挿入したことにより遅くならないように決定する必要がある。図6の場合にはたとえばMP1およびMN1のゲート幅はTP1およびTN1のゲート幅と同じ大きさ程度にすることになる。ところが、図7ではそれぞれのインバータの活性化率を考慮に入れてMP1およびMN1のゲート幅を決めることができる。すなわち、MP1およびMN1に接続されている論理回路（図7の例では3段のインバータ）の最大活性化率を考慮してMP1およびMN1のゲート幅を決める。図7の例では3段のインバータのうち、一度に動作するインバータは1段だけなので、その1段のインバータに十分に電流を供給できるようなゲート幅にMP1およびMN1を設計すればよい。結果的には図6のMP1ないしMP3およびMN1ないしMN3のゲート幅

と同じゲート幅程度で済むことになり、図7の方が図6よりも小面積になる。

図8を用いて本発明の第6の実施例を説明する。図8は、図7に示した第5の実施例にレベルホルダLH1を接続し、制御信号CSが‘L’になってインバータの動作が停止し、出力(OUT2)がハイインピーダンス状態になっても、出力OUTのレベルを保持できるようにした実施例である。制御信号CSが‘H’から‘L’に変わったときに、‘H’のときの最後の論理レベルを保持する。こ

こではレベルホルダLH1としてインバータ2個によるラッチで実現しているが、制御信号CSが‘L’のときに出力OUTのレベルが保持でき、出力OUTを入力とする次段の回路に影響がないようなものであれば如何なるものでもよい。

本実施例ではレベルホルダ回路 LH1 は高速性を要求しないものとし、厚膜MOSトランジスタで構成してリーク電流を押さえた。高速性を要求する場合には、レベルホルダ回路は薄膜MOSトランジスタで構成することもできるが、インバータ本体よりリーク電流が増えては意味がないので、設計に留意する必要がある。

また、レベルホルダ回路の挿入する場所は回路中のどこであっても良いわけではない、たとえば図8で、OUT1やOUT2に挿入して意味がない。制御信号CSが‘L’のときも論理レベルを保持する必要のある信号線(図8ではOUT3)に挿入する必要がある。

図9を用いて本発明の第7の実施例を説明する。上述した図5(第4の実施例)ないし図8(第6の実施例)では薄膜MOSトランジスタで「インバータ」を形成した実施例を示したが、薄膜MOSトランジスタで構成された回路であれば如何なる機能をもつものでもよい。この例を図9に示す。図9は、図5のインバータを2入力(IN1、IN2)を有するNANDゲートに変えたものである。この構成によっても図5と同様に消費電力の増加を防ぐことができる。

図5ないし図9に示した実施例では、制御信号CSにつながれた制御回路として厚い酸化膜で構成された厚膜MOSトランジスタを用いているが、制御信号CSによって薄膜MOSトランジスタのゲート・ソース間およびゲート・ドレイン間のリーク電流の量を制御できれば如何なるものでもよい。例え



ば、図 2 に示した製造工程に対応した、ゲート電極の空乏化率が主回路のそれより大きい MOS トランジスタや、薄膜ゲート絶縁膜であってもゲートリークが小さいゲート絶縁膜で構成された MOS トランジスタで構成してもよい。

また、図 5 ないし図 9 に示した実施例では、MOS トランジスタの基板電極について特に言及していないが、本発明ではその接続は特に規定しない。例えば、p 型 MOS トランジスタの基板電極は第 1 の電源  $V_{dd}$  に、n 型 MOS トランジスタの基板電極は第 2 の電源  $V_{ss}$  に接続してもよい。また、図 5 では薄膜 MO

S トランジスタ TP1 の基板電極を  $V_{cd1}$  に、薄膜トランジスタ TN1 の基板電極を  $V_{cs1}$  に接続してもよい。この場合、主回路であるインバータ L1 に、基板電極を電源に接続している CMOS インバータの標準セルをそのまま使用できる。

図 1 および図 2 に記載した手順で製造した半導体集積回路装置は、下記、図 5 ないし図 9 全ての回路構成に適用できる。さらに図 5 ないし図 9 に記載された実施例は、その回路の動作頻度が小さい回路へ用いればより効果がある。たとえば、メモリ回路のワードデコータ・ドライバ回路が挙げられる。シングルポートのメモリ回路の場合、ワード線数だけあるワードデコータ・ドライバ回路は一度に一つのワードデコータ・ドライバ回路しか活性化されない。他の多数あるワードデコータ・ドライバ回路は不活性のままであり、ゲートリークがあると定常電流が流れ消費電力が増加する。上記実施例を用いれば、多数ある不活性のワードデコータ・ドライバ回路の消費電力を低減できる。

図 1 2 ～図 1 9 は薄膜 MOS トランジスタ TP1-TP4, TN1-TN4 で構成された回路における待機時のリーク電流を低減するための厚膜 MOS トランジスタの挿入方法の他の例を示す。

図 1 2 と図 1 3 は待機時間中の  $IN$  と  $OUT$  の論理レベルが等しい場合の例である。

図 1 2 に示すように待機時間中に  $IN=OUT= 'H'$  であることがわかっているならば、 $V_{ss}$  側のみにスイッチ MN1 を挿入すればよく、 $V_{dd}$  側には不要である。

図 1 3 に示すように待機時間中に  $IN=OUT= 'L'$  であることがわかっているならば

、 $V_{ss}$  側のみにスイッチ MP1 を挿入すればよく、 $V_{dd}$  側には不要である。LH1 はレベルホールド回路で、待機時間中に出力をホールドするものである。

図 1 4 ～ 図 1 7 は待機時間中の IN と OUT の論理レベルが異なる場合の例である。

図 1 4 に示すように、待機時間中に IN と Out の論理レベルが異なる場合には、IN-OUT 間のリークを防止するために、IN または OUT にスイッチを挿入する。IN= 'H' , OUT= 'L' の場合は、 $V_{ss}$  と OUT に入れるか  $V_{dd}$  と IN に入れる。図 1 4 は  $V_{ss}$  と OUT にスイッチ NM1 とスイッチ MP4, MN4 を入れたものである。

図 1 5 はスイッチを  $V_{ss}$  と OUT に入れるのではなく、 $V_{dd}$  と IN に入れたものである ( MP1, MP5, NM5 で示される)。負荷駆動能力の必要な OUT にスイッチを入れる場合、そのスイッチは大きなゲート幅の MOS トランジスタで構成する必要がある。

め望ましくないので、実用上は図 1 5 の例の方が良い。

図 1 6 に示すように、待機時間中に IN の論理レベルが Out の論理レベルと異なる場合には、IN-OUT 間のリークを防止するために、IN または OUT にスイッチを挿入する。IN= 'L' , OUT= 'H' の場合は、 $V_{dd}$  と OUT にスイッチ MP1 と MP4, MN4 を入れる。

図 1 7 はスイッチを  $V_{dd}$  と OUT に入れるのではなく、 $V_{ss}$  と IN に入れたものである ( MN1, MP5, NM5 で示される)。負荷駆動能力の必要な OUT にスイッチを入れることは望ましくないので、実用上は図 1 7 の例の方が良い。

図 1 8 は待機時の IN, OUT の論理レベルは不明だが、IN=OUT であることがわかっている場合の例であり、 $V_{dd}$  と  $V_{ss}$  にスイッチ MP1 と MN1 を入れれば良い。in と out にはスイッチは不要である。

図 1 9 は入力信号が複数 ( IN1, IN2 ) がある場合の例を示す。待機時には IN1= 'H' , IN2=OUT= 'L' であり、 $V_{dd}$  と IN1 にスイッチ MP1 と MP5, MN5 を入れれば良い。

図 1 2 から図 1 9 の例で明らかなように、ゲートリーク電流を削減するための厚膜 MOS トランジスタの挿入箇所は回路によって最適な場所がある。したがっ

て、回路全体で同一の挿入方法にする必要はなく、回路ブロック毎に最適な箇所に挿入すればよい。

図 2 0 と図 2 1 は、レベルホールド回路 LIII の他の例を示す。

図 2 0 はインバータ 2 段構成としており、後段のトランジスタの電流駆動能力は、1 N に接続されている論理ゲートのトランジスタのそれより十分小さく、また、その論理ゲートのトンネルリーク電流より十分大きくする。

図 2 1 は後段をクロックドインバータにした例であり、トランジスタの電流駆動能力の設計自由度が大きくなる効果がある。

以上の実施例の説明では、トランジスタのしきい値については何も限定していないが、薄膜 MOS トランジスタを低しきい値にし、厚膜 MOS トランジスタをそれよりも高しきい値にするのが効果的である。トランジスタを低しきい値にするといわゆるサブスレッショルドリーク電流がソース・ドレイン間に流れるが、電源間に挿入した高しきい値の厚膜 MOS トランジスタでそのリーク電流をカットすることができる。以下の図 2 2 からの実施例では基本的に厚膜 MOS トラン

ジスタはサブスレッショルドリーク電流が問題にならない程度のたとえば 0.5 V 程度の高しきい値で、また、薄膜 MOS トランジスタはたとえば 0.1 V 程度の低しきい値で構成した例を示す。

また、以上の実施例では薄膜 MOS トランジスタのゲート端子に入力される電圧と厚膜 MOS トランジスタのゲート端子に入力される電圧との関係については何も言及していないが、厚膜 MOS トランジスタのゲート端子に入力される電圧を薄膜 MOS トランジスタのゲート端子に入力される電圧よりも高くすると効果的である。厚膜 MOS トランジスタのゲート酸化膜は厚いために薄膜 MOS トランジスタよりも高い電圧を印加でき、これにより厚膜 MOS トランジスタの電流駆動能力を高めるられる。図 5 から図 2 1 までの実施例では CS および /CS の信号振幅を大きくすればよい。その時には、厚膜 MOS トランジスタのゲート長は薄膜 MOS トランジスタのゲート長よりも長くするのがよい。厚膜 MOS トランジスタのしきい値を高くできるし、高電圧で動作する厚膜 MOS トランジスタのデバイスの信頼性を向上させることができる。以下の図 2 2 からの実施例では

基本的に厚膜MOSトランジスタにはたとえば3.3V程度の高電圧を印加し、また、薄膜MOSトランジスタにはたとえば1.5V程度の低電圧を印加した例を示す。

以下に本発明を用いた各種の半導体集積回路例を示す。

図22は本発明による半導体集積回路のブロック図を示したものである。以下の図において、面積比率において主に薄膜MOSトランジスタで構成されている回路ブロックを実線で、厚膜MOSトランジスタで構成される回路ブロックを点線で、両者が混在する回路ブロックを両者で囲んで区別した。

CPU コアなどからなる主回路 2201 は入出力回路 2202 を介して、入出力端子と信号をやりとりする。主回路 2201 はまた、メモリ直接周辺回路 2204 を介してメモリセル 2205 (例えば DRAM で構成される) と信号をやりとりする。スタンバイ制御回路 (電源制御回路) 2206 は上記各モジュール内の薄膜MOSトランジスタに対してその電源等の制御する。通常半導体集積回路チップ内の信号電圧とチップ外の信号振幅が異なるので、後述するレベル変換回路で信号振幅のレベル変換を行っている。

図22において、点線で示されるメモリセル2205は主にトンネルリーク電

流が無視しうるゲート酸化膜を有する MOS (厚膜MOSトランジスタ) により構成される。ゲート酸化膜は例えば5~10 nm 程度の厚い酸化膜である。

主回路 2201、入出力回路 2202、メモリ直接周辺回路 2204、およびスタンバイ制御回路 2206 は薄膜MOSトランジスタを主として用いる。特に論理素子を多く含む主回路は、薄膜MOSトランジスタの割合が多い。

これらの回路中にある薄膜MOSトランジスタは、図5から図21で詳述したように、待機時のリーク電流を低減するため電源制御用のスイッチで電源を遮断できるようにしてある。電源制御用スイッチとなるトランジスタにはリーク電流があると意味がないので、厚膜MOSトランジスタを用いる。これら電源スイッチ用 MOS はスタンバイ制御回路2206からの制御により on/off が行われる。

また、この半導体集積回路装置の中で、電源スイッチ用の厚膜MOSトランジスタの他に、チップ外部からの大きな信号振幅の入力が直接かかる部分のトラン

ジスタ（I/O回路等）にも厚膜MOSトランジスタを用いる。これは大きな信号振幅が入力されるI/O回路には高ゲート耐圧MOSが必要で、一般に厚膜MOSトランジスタはゲート耐圧が高いためである。I/O回路に用いる高耐圧MOSトランジスタに図5から図21までで説明した薄膜MOSトランジスタのゲートリーク削減のための厚膜MOSトランジスタを用いることができる。両者のMOSトランジスタに同じ厚膜MOSトランジスタを用いることでプロセスの簡単化が実現できる。

メモリセル2205は待機時にデータを保持する必要があるメモリで、これらはトンネルリーク電流が無視しうる厚膜MOSトランジスタで構成される。メモリセルに厚膜MOSトランジスタを使用すれば動作速度が遅くなるが、ゲートリークによる消費電力増加の問題がないので、待機時にメモリセルに電源を供給し続けることができる。逆に、待機時に情報を保持する必要がないメモリはそのメモリセルに薄膜MOSトランジスタを使用することができる。待機時には、メモリセルに蓄えられている情報は消えてしまうが、メモリセルに供給する電源をオフすることによってゲートリークによる消費電力増加を防ぐことができる。また、メモリの容量が小容量で待機時に電源を供給し続けてもゲートリークによる消費電力増加が無視できるのであれば、同様にメモリセルを薄膜MOSトランジスタで構成することができる。たとえばレジスタファイル等は小容量であるためリ

ーク電流がそれほど問題にならず、速度が重視される。このようなメモリは薄膜MOSトランジスタで構成することが望ましい。また、本実施例の半導体集積回路装置においては、特にラッチ、フリップフロップ等のメモリ回路は高速を要求されるために薄膜MOSトランジスタを用いることが望ましい。なお、高電圧で駆動され、早い応答性が要求されない回路、例えば前述の薄膜MOSトランジスタの電源制御用のスイッチは厚膜MOSトランジスタを用いることが望ましい。

図22の例ではチップは少なくとも2種類の電源で駆動されており、電源Vcc2はVcc1より大きく設定されている。厚膜MOSトランジスタは電流供給能力の高いVcc2により駆動されることとし、薄膜MOSトランジスタは

Vcc1 によ

り駆動されることとする。以下の実施例では  $V_{cc1}$  は 1.5 V、 $V_{cc2}$  は 3V と仮定しているが、それぞれ  $V_{cc2} > V_{cc1}$  の関係を満たせばどのような値であってもよいことは言うまでもない。

以上で説明した図 2 2 の半導体集積回路では、主な部分を薄膜 MOS トランジスタで構成しているため、高速の動作が可能となる。

図 2 3 は半導体集積回路の他の実施例である。基本構成は論理回路などで構成される主回路 2301 と、入出力回路 2302、およびスタンバイ制御回路 2303 で構成されている。この例では、外部から供給される 3.3 V の電圧  $V_{cc2}$  を降圧回路 2304 で 1.5 V の  $V_{cc1}$  に降圧させる。降圧回路 2304 は主回路などと同じチップ上にあってもよいし、別のチップ上に形成されていてもよい。主回路 2301 は、主に薄膜 MOS トランジスタで構成され、高速動作が可能となる。降圧回路 2304 は主に厚膜 MOS トランジスタで構成される。入出力回路 2302、スタンバイ制御回路には薄膜と厚膜の MOS トランジスタが混在する。これらの回路において、薄膜 MOS トランジスタは  $V_{cc1}$  で、厚膜 MOS トランジスタは  $V_{cc2}$  で駆動することとする。スタンバイ制御回路は、リーク電流による電力損失を押さえるために、回路の待機時に降圧回路 2304 の出力をオフにする。また、入出力回路 2302 から主回路 2301 への出力も 'L' とする。主回路 2301 への入力も 'L' になり、かつ主回路に供給される電源電圧が 0 V になるため、主回路中の主なノードの電位が 'L' になりトンネルリークによる消費電力増加を削減できる。なお、薄膜 MOS トラ

ンジスタを低しきい値にした場合、サブスレッショルドリーク電流による消費電力増加も同時に削減できることは言うまでもない。

図 2 4 は他の実施例であり、図 2 3 と共通の部分は同じ符号で示した。この実施例では外部から 2 種の電源  $V_{cc1}$  と  $V_{cc2}$  がチップに供給されるが、 $V_{cc1}$  は厚膜 P MOS トランジスタで構成されたスイッチ 2404 を介して主回路 2301 などに供給される。待機時にはスタンバイ制御回路 2303 により、スイッチ 2404 がオフになり、 $V_{cc1}$  の給電がオフとなる。また、図 2 3 と同様に待機時には出力回路 2302 から主回路 2301 への出力は 'L' となる。スイッチ 2404 は主回路などと同じチップ上にあってもよいし、チップ外に外づけしたパワー MOS トランジスタであっても

よい。ここでスイッチ 2404 は厚膜MOSトランジスタで構成されている。図23と同様に、主回路 2301 への入力が 'L' になり、かつ主回路に供給される電源電圧が0Vになるため、主回路中の主なノードの電位が 'L' になりトンネルリークによる消費電力増加を削減できる。

図25は図23にさらに主回路の動作速度ばらつきを補償する回路を組み込んだ実施例を示す図である。先の実施例と同様の構成は同一の番号を付した。この実施例では主回路 2501 は遅延モニタ回路 MON1 を備えている。遅延モニタ回路 MON1 は主回路中の論理回路の遅延時間をモニタするものである。したがって、この遅延モニタ回路は原則として主回路の薄膜MOSトランジスタと同様の薄膜MOSトランジスタで構成する。遅延モニタ回路は、例えばリングオシレータで構成される。Vcc2 から Vcc1 を作る降圧回路 2504 は、主回路中の遅延モニタ回路 MON1 から

の信号に応じて、主回路のトランジスタの製造及び温度等の環境の変化による主回路を構成する論理回路の遅延時間のばらつきを補償するように Vcc1 の値を制御する。これは例えば図28に示すような PLL 方式で実現される。たとえば、温度が上昇し、主回路を構成する論理回路の遅延時間が遅くなったときには、降圧回路 2504 はその出力Vcc1を上昇させる。また逆に、温度が低下し、主回路を構成する論理回路の遅延時間が速くなったときには、降圧回路 2504 はその出力Vcc1を下降させる。これにより主回路を構成する論理回路の遅延時間を一定に保つことができる。

図26は他の実施例を示す図である。図25ではモニタ回路MON1によって主回路を構成する論理回路の遅延時間をモニタする実施例を示したが、ここでは

、チップの製造時の検査で主回路を構成するMOSトランジスタあるいは論理回路の特性を測定し、そのデバイス情報を2605に格納しておく。この2605からの制御信号に基づいて、降圧回路 2604 はVcc1の値を決定する。たとえば、チップ検査時に主回路を構成するトランジスタのしきい値が設計値よりも大きめに製造されたことが分かると、降圧回路2604がVcc1を設計値よりも大きな値で出力するように2605に記憶する。また逆に、チップ検査時に主回路を構成するトランジスタのしきい値が設計値よりも小さめに製造されたことが分かると、

降圧回路 2604 が  $V_{cc1}$  を設計値よりも小さな値で出力するように 2605 に記憶する。このようにすることによって、製造ばらつきを補償できる。なお、2605 に記憶するデバイス情報はトランジスタのしきい値でもよいし、トランジスタの飽和電流値でもよい、要は主回路を構成する論理回路の遅延時間を反映するものであればよい。また、その記憶方法は特に問わない。簡単な方法としてはたとえば図 27 の降圧回路の  $V_{ref}$  の値をイオンビームによってヒューズ（アルミ配線等）を切断する FIB 加工を用いた物理的な方法等で変化させる方法でもよい。

図 25 の方法では、主回路のトランジスタの製造及び温度等の環境の変化を補償することができるが、図 26 の方法では、主回路のトランジスタの製造ばらつきのみを補償することができる。しかし、図 26 の方法の方が図 25 の方法よりも簡便で面積オーバーヘッドが小さくできるという利点がある。

図 25 や図 26 の方法以外にも、製造及び温度等の環境の変化に伴う主回路の動作速度ばらつきを補償する方法は考えられるが、いかなる方法でのよい。

図 27 は、図 23 で示した高電圧  $V_{cc2}$  を低い電圧  $V_{cc1}$  に変換する降圧回路（電圧リミッタ） 2304 の回路構成例である。この降圧回路はスタンバイ制御回路 2303 からの制御信号 STB で制御され、 $V_{cc1}$  の供給を on/off する。電圧リミッタは高い電圧をとりあつかうので、原則として厚膜 MOS トランジスタで構成する。ただし、位相補償容量 CC は  $\mu A$  程度ならばリーク電流があってもよい。薄膜 MOS トランジスタで形成した方が回路面積を小さくできる。特に CC は通常数百～数千 pF であるので、チップの面積縮小に効果がある。分圧回路 DIV1 を構成するトランジスタも  $\mu A$  程度のリーク電流は許容でき、リークがあっても分圧抵抗として働くだけなので、薄ゲート絶縁膜を有する MOS トランジスタで構成できる。

図 28 は図 25 で説明した遅延モニタ回路 MON1 と降圧回路 2504 の詳細回路図である。遅延モニタとしては CMOS インバータで構成したリングオシレータを用いている。この回路は Phase Locked Loop (PLL) を形成しており、遅延モニタ MON1 の発振周波数と主回路へのクロック信号  $f_1$  とを周波数比較器 PFD で比較し、レベル変換器 LC3 を通してチャージポンプ回路 CP を駆動す



る。CP の出力はローパスフィルター LPF を通過して、Vref として出力される。この Vref の値をもとに Vcc1 が作られる。クロック信号 f1 に応じた Vcc1 が作られる。ここで、リングオシレータ MON1、周波数位相比較器 PFD は薄膜 MOS トランジスタで構成する。また、チャージポンプは電源として Vcc2 を用いるために厚膜 MOS トランジスタで構成する。主回路をクロック信号 f1 に同期させて動作させることで、そのクロック周波数に最適な電源電圧で主回路を動作させることができる。

図 29 は図 28 の遅延モニタ回路と降圧回路の他の例を示す。基本構成は図 28 と同様であるが、主回路に供給する電源 Vcc1 を遅延モニタ回路に供給する Vcc3 とを分離している。Vcc1 と Vcc3 は本来同じ電圧であるが、Vcc1 には主回路からノイズが混入することがある。そこで、Vcc1 に混入するノイズの遅延モニタ回路への影響を低減するため、遅延モニタ回路への電源 Vcc3 を Vcc1 とは独立にしてモニタ精度を向上させている。

図 30 は図 22～図 26 における入出力回路 2202, 2302 の例を示す。ここでは 1 ビット分のみを示している。入出力回路はチップ内部と外部の信号を入出力端子 PAD を介して行う。SEL が 'L' のとき PAD は入力端子となり、SEL が 'H' のときは出力端子となる。LC1 はレベル変換回路であり、スタンバイ制御回路 2206, 2303 (図 22～図 26 参照) からの制御信号 STB が 'L' のときに Vcc1 の振幅の信号を振幅の大きな Vcc2 の信号に変換して出力端子 PAD から外部に出力する。従ってレベル変換回路 LC1 と入出力端子 PAD の間のトランジスタは Vcc2 で駆動される厚膜 MOS トランジスタで構成する。ここでは PULL はプルアップする必要があるときに 'L' にして PMOS のプルアップトランジスタでプルアップする。この PMOS は厚膜 MOS トランジスタで構成する。回路のスタンバイ (待機) を示す STB が 'H' のとき、チップ内部の薄膜 MOS トランジスタは電源を遮断されているので、LC1 は出力をホールドする。

入力側においては、外部から入力される Vcc2 の振幅を有する信号を、4004 P および 4004 N で構成されるインバータで Vcc1 の振幅に変換する。従って、その二つのトランジスタはレベル変換前の信号を扱うので厚膜 MOS トランジスタ

タで構成する。待機時には4015P2によってPADからの信号はカットされ、INは'L'に固定される。

抵抗R1、R2、ダイオード4002D1、4002D2、トランジスタ4014Nは入力保護回路である。なお、ダイオード4002D1および4002D2はMOSトランジスタで構成しても良い。この入力保護回路中のMOSトランジスタは高耐压の厚膜MOSトランジスタで構成する。

図31は図30のレベルホールド及びレベル変換回路LC1の具体的な回路例を示している。スタンバイ制御信号 STB によって、レベルホールド回路 3101 は Vcc1 の振幅の信号をホールドし、その後レベル変換回路 3102 で Vcc2 の振幅に変換して出力する。

図32は図30のレベルホールド及びレベル変換回路LC1の他の具体的な回路例を示している。スタンバイ制御信号 STB によって、レベルホールド回路 3201 はレベル変換回路 3202 からみて出力側にあり、Vcc2 の振幅の信号に変換後の信号をホールドし出力する。

図31と図32を比較すると、機能的には小さな振幅(Vcc1)の信号を大きな振幅(Vcc2)の信号にレベル変換し、STBが'H'になったときにはその直前の値を出力し続けるという意味で同じである。ただし、図31の方が小面積で済むという利点がある。

図33はスタンバイ制御回路 2206, 2303 (図22～図26参照)の例を示す。主回路 2202, 2301 などから出される STBIN 信号(Vcc1 振幅)を Vcc2 にレベル変換して STB およびその反転信号 /STB を作る。速度が重視されないので、リーク電流を防止するため主に厚膜MOSトランジスタで構成するが、Vcc1の信号振幅を扱う部分は薄膜MOSトランジスタを用いている(円で囲んだトランジスタ部分)。本図では、STBIN信号を出力する回路もSTB信号により待機状態になることを想定し、待機時に STBIN 信号が不定となるのを、STB 出力を保持するようにゲート幅小(W小)のトランジスタ 3301, 3302 でラッチをかけて保護している。

図34はマイコンの実施例である。記憶容量が大きくてゲートリークが問題になるため、命令キャッシュ 3401 とデータキャッシュ 3402 のメモリセル 3403, 3404

には厚膜MOSトランジスタを用いている。なお、消費電力よりも高速性を重視し、高速が要求される部分を薄膜MOSトランジスタで構成し、階層的なメモリ構造とすることもできる。また、同様に速度を重視するTLB (3410や3411中にある)やレジスタファイル (3405や3406)は薄膜MOSトランジスタを主体として消費電力を低減する。

命令発行ユニット 3412、汎用レジスタ 3405、浮動小数点レジスタ 3406、整数演算ユニット 3407、浮動小数点演算ユニット 3408、ロード・ストアユニット 3409は、速度が重要であり、また、小容量であれば消費電力の影響は無視できるので薄膜MOSトランジスタで形成している。スタンバイ制御回路 3413、入出力回路 3414はすでに説明したものと同様なので説明は省略する。

図35は、図30に示した入出力回路の部分断面図である。図中Aで示す部分は入力保護回路であり、Bで示す部分は入出力回路領域である。入出力回路領域はレベル変換回路を含んでいる。

n型基板 4006上にp型ウエル 4007PとN型ウエル 4007Nを設け、素子分離領域 4008を設ける。4010P1, 4009P1, 4009P, 4010N1は入力保護回路用MOSトランジスタpMOSLのソース・ドレイン領域である。R1およびR2は抵抗素子、4004P1, 4004P2, 4000N2, 4000P2, 4004N1, および 4004N2はレベル変換回路MOSトランジスタのソース・ドレイン領域である。4004N4、4004P4はMOSトランジスタ4004P、4004Nのゲート電極である。4004N3、4004P3はMOSトランジスタ4004P、4004Nのゲート絶縁膜である。また、配線層4013は、コンタクトホール4012を介して電源を供給する。ここで、入力回路領域中レベル変換回路は厚膜MOSトランジスタ 4004P3, 4004N3で形成されている。その他の概略は図4に示す構成と同様である。

図36～図42は本発明のマスクROMの例を示すものである。マスクROMでは、基本的にビット線にプリチャージされた電荷を放電して接地電位とするか、そのまま保持して高電位に保つかで2値の情報を蓄積する。

図36は拡散層プログラム方式のNOR型マスクROMのブロック図を示す。ワードデコーダ3604はN組の行アドレスとM組の列アドレスを受けて、メモリセル

の中の一つのアドレス（メモリセル単位）を選択する。ワードドライバ 3602 はワードデコーダの出力を受けて当該メモリセル単位を駆動する。ここで、後述するようにメモリセルは厚膜MOSトランジスタで構成しているため、ワード線振幅は大振幅（ $V_{cc2}$ ）になっている。このためワードドライバには  $V_{cc2}$  が給電された厚膜MOSトランジスタで構成されており、通常 CPU などから送られる小振幅（ $V_{cc1}$ ）のアドレスは、レベル変換回路を通して信号振幅を  $V_{cc2}$  の振幅に変換してワードドライバに接続されている。小振幅信号を扱うワードデコーダ 3604 は薄膜MOSトランジスタで構成されている。メモリセル 3601 を薄膜トランジスタで構成すると最大値として（一つのビット線につながれているメモリセルの数）×（メモリセル一個あたりのゲートリーク電流）だけのリーク電流が、ワード線を通じてビット線に流れてしまう。このため厚膜トランジスタで構成している。従って、一つのビット線につながれるメモリセル数が多くなる、すなわち、メモリが大容量になるにつれ本発明の効果が大きくなる。メモリセル 3601 を薄膜トランジスタで構成すると非選択セルからのリーク電流がながれ、ビット線へのノイズの混入と同等の働きをし、S/Nを悪化させ、誤動作の原因となる。レベル変換回路 3603、センスアンプ回路 3605、スタンバイ制御回路 3606 は薄膜MOSトランジスタと厚膜MOSトランジスタの両者を含む。

図 36 の例では“1”を保持するセル MN00 には、トランジスタを形成しないようにする。すなわち、拡散層を形成しない。ワード線 W12 を ‘H’ にすると MN11 が on になり、ビット線 BL1 は ‘L’ になる。一方“0”を保持するセル MN11 はトランジスタを構成し、ワード線 W11 を ‘H’ にしても、ビット線 BL1 は ‘L’ にならない。

図 37 はイオン打ち込みプログラム方式の NOR 型マスク ROM の例を示す。基本的に図 36 の例と同様であるが、メモリセル 3701 内部構成が若干異なる。ワード線 W21, W22 を ‘H’ にする際に、セルのトランジスタが on になるか off になるかを、各 MOS トランジスタの閾値電圧  $V_{th}$  で制御する。

図 38 は図 37 のメモリセルの要部断面図である。ワード線を選択した時に MOS が on になるかどうかで、情報を決定する。ワード線の電圧（メモリセルのゲ

ートに印加される電圧)は、ワードドライバの出力の電圧なので、この回路の場

合は  $V_{cc2}$  ( $>V_{cc1}$ ) となる。よって、高い  $V_{th}$  とは  $V_{th} > V_{cc2}$  を意味する。低い  $V_{th}$  の場合は、MOS が on になれば十分なので、 $V_{th} < V_{cc2}$  となる。本実施例においては、ワード線  $W21$  に接続されるMOSのゲート絶縁膜直下の部分に低い  $V_{th}$  とするための拡散層を設けている。

図39はコンタクトホールプログラム方式の NOR 型マスク ROM の例を示す。基本的に図36の例と同様であるが、メモリセル3901内部構成が若干異なる。各トランジスタ  $MMN31, MMN32$  の構成は同一であるが、ビット線  $BL3$  に接続されているかどうかで、出力の 'H' と 'L' を制御する。

図40は図39のメモリセル部分の要部断面図である。右側のMOSのはビット線  $BL3$  に接続されていない。

図41はイオン打ち込みプログラム方式の NAND 型マスク ROM の例を示す。基本的に図36の例と同様であるが、メモリセル4101の内部構成が若干異なる。MOS トランジスタはセルブロックを構成している。これらのMOSトランジスタの閾値を正にするか(エンハンスメント型)、負にするか(デプリーション型)で、記憶内容が "1" か "0" かが定まる。この例では  $MMN4n$  をデプリーション型の MOS とする。選択ワード線  $BS4$  を 'H' にすると、ブロック選択トランジスタ  $BSMN4$  が On になる。同時にこのブロック内のワード線のどれかを選択して 'L' にする。選択されたワード線が  $W4n$  だった場合、このブロックにはセル電流が流れ  $BSMN4$  を通じてビット線  $BL4$  に信号 'L' が出力される。

図42は図41のメモリセルの要部断面図を示す。以上の図面で共通の部分は同一の符号をつけて説明を省略した。

以上のように各種のマスクROMに本発明は適用できるが、NOR方式のメモリでは、MOSトランジスタが並列に多数アレイ化されており、入力が多いためリーク電流が多い構造なので、本発明によるリーク電流低減の効果が顕著である。

図43は本発明に関わる DRAM の例である。主に厚膜MOSトランジスタで構成される入出力回路4311、スタンバイ制御回路4306、およびワードドライバ4312は  $V_{cc1}$  よりも高電圧に設定される  $V_{cc2}, V_{PP}$  で動作する。メモリセル4

301中のトランジスタは、情報を電荷の形で貯めているキャパシタンスから電荷が漏れるのを防ぐために厚膜MOSトランジスタで構成する。その厚膜トランジスタを駆動するため、ワード線Wは大振幅で駆動する。このとき、従来のDR

AMのようにキャパシタンスから電荷が漏れるのを防ぐという同様の目的で、メモリセル中のトランジスタを高しきい値にするのがよい。小振幅信号を扱うデコーダ4313、4318や、アドレスバッファ4315、4316は薄膜MOSトランジスタで構成し、低電圧の  $V_{cc1}$  で駆動する。センスアンプ4305は厚膜MOSトランジスタと薄膜MOSトランジスタが混在する。

入力回路4311に入力される信号  $A_i$  は大きな振幅  $V_{cc2}$  を有しているので、これを小振幅  $V_{cc1}$  にしてアドレスバッファ4315、4316、デコーダ4313、4318で取り扱う。このため入力回路は  $V_{cc1}$  へのレベル変換前の回路は厚膜MOSトランジスタが適している。また、同様の理由で、出力回路4320も厚膜MOSトランジスタを有する。アドレスバッファ4315、4316、デコーダ4313、4318内の薄膜MOSトランジスタに供給する電源を厚膜MOSトランジスタで制御することは、既述の実施例と同様である。図示されていないが、ロウデコーダ4313中にはレベル変換回路があり、 $V_{cc1}$  の振幅の信号をより大きい振幅 ( $V_{pp}$ ) の信号にしてワードドライバ4321に供給している。

本実施例では電圧  $V_{cc2}$  を 3.3V、 $V_{cc1}$  を 1.8V、 $V_{pp}$  を 3.6V、 $V_{DD}$  を 1.5V とした。これらの電圧は外部から印加してもよいし、電圧コンバータを用いて内部で電圧変換して形成しても良い。

図44には、図43のセンスアンプ4305の内部構成を示す。待機時にはビット線対 B./B はプリチャージ回路 PC によって  $V_{DD1/2}$  にプリチャージされている。また、センスアンプ駆動線 NCS、PCS は共に  $V_{DD1/2}$  レベルにある。従って、センスアンプ SA を構成するトランジスタ TP11、TP12、TN11、TN12 はいずれもソース、ドレイン、ゲートがすべて同じ電位にあるため、サブスレッシヨルドリーク電流も、トンネルリーク電流も流れない。したがって、これらは薄膜MOSトランジスタで構成し、センス動作を高速化することができる。

プリチャージ信号 PCB は、待機時には高い電位 ( $>V_{DD1/2}$ ) である。そこで、ブ

リチャージ回路を構成するトランジスタ MN11-MN13 は厚ゲート酸化膜を有するMOSで構成し、トンネルリーク電流を防止する。なお、ソースとドレインが同電位なので高しきい値である必要はない。

入出力ゲート YG を構成するトランジスタ MN14, MN15 も厚膜MOSトランジスタで構成する。これらのトランジスタのゲートにはカラムデコーダの出力 YS が入力さ

れており、待機時には接地レベルにあるからである。

図45は、図43のセンスアンプ回路4305の詳細を示す。入力信号のうち、 $A_i, A_j$  はアドレス信号、 $\phi$ はタイミング信号である。一般のメモリではメモリアレイが複数のサブアレイに分割されているため、選択されたサブアレイのセンスアンプのみを動作させるためにアドレス信号（通常はロウアドレス信号のうち上位の数ビット）が必要である。NAND ゲート NA1 及びインバータ IV1, IV2 は薄膜MOSトランジスタで構成する。待機時には  $A_i, A_j$  ,  $\phi$  は 'L' , SAN も 'L' , SAP は 'H' であるから、トンネルリーク電流を防止するために、NA1 と IV1 の電源側、IV2 の接地側と入力にスイッチを入れて待機時の電源をカットする。また、SAN, SAP のレベルを保持するためにレベルホールド回路 LH1, LH2 を設ける。

NCS, PCS のプリチャージ回路は、厚膜MOSトランジスタとする。駆動トランジスタ MN20, MP20 は厚膜MOSトランジスタとする。これらのトランジスタのソース、ドレイン、ゲートは待機時には全て異なる電位にあるので、それらの間のリークを防止するためである。

図46は、図43のメインアンプ4309の構成例を示す。この例は2段階の差動アンプ MA1, MA2 で構成されている。これらのアンプを構成するトランジスタは薄膜MOSトランジスタとして増幅動作の高速化を図る。アンプの入力信号 D0, /D0、1段目の出力信号 D1, /D1、2段目の出力回路 D2, /D2 は、いずれも図示されないプリチャージ回路によって、待機時には 'H' になっているのでリーク電流が流れないからである。しかし、活性化トランジスタ MN31, MN32 は厚膜MOSトランジスタとして、VSS へのリークを防止する。

図47は本発明の SRAM の実施例である。基本的な回路構成は既に述べた ROM, DR

AMと同様であり詳細は省略する。ここでは、メモリセル4701の構造について説明する。メモリセル4701は基本的にはフリップフロップで構成され、これは厚膜MOSトランジスタで構成される。メモリセル4701を構成するトランジスタの内、トランスファトランジスタ（アクセストランジスタとも呼ぶ）を薄膜トランジスタで構成すると最大値として（一つのビット線につながれているメモリセルの数）×（メモリセル一個あたりのゲートリーク電流）だけのリーク電流が、ワード線を通じてビット線に流れて

しまうので、ビット線へのノイズの混入と同等の働きをし、S/Nを悪化させる。したがって、少なくともトランスファトランジスタは厚膜トランジスタとするのがよい。トランスファトランジスタ以外のトランジスタのゲートリークは消費電力の増加にしか関与しないため、消費電力を重視しないのであれば薄膜MOSトランジスタで構成してもよい。一つのビット線につながるメモリセル数が多くなる、すなわち、メモリが大容量になるにつれ本発明の効果が大きくなる。また、トランスファトランジスタのしきい値電圧についても同様のことが言える。トランスファトランジスタのしきい値が小さいと、最大値として（一つのビット線につながれているメモリセルの数）×（メモリセル一個あたりのトランスファトランジスタのソース・ドレイン間サブスレッショルドリーク電流）だけのリーク電流が、ビット線に流れる。これはビット線へのノイズの混入と同等の働きをし、S/Nを悪化させる。これを防ぐためには、トランスファトランジスタのしきい値を高くするとよい。これはたとえばトランスファトランジスタへのチャネルインプラの量を変えて調整してもよいし、トランスファトランジスタのゲート長を少し長めに設計してもよい。

図48は図47のワードデコーダ4704、ワードドライバ4702、レベル変換回路4703の回路例を示す。ワードデコーダは小振幅の信号が入力される。このため、薄膜MOSトランジスタで構成され、さらに、待機時のゲートリーク電流をカットするための厚膜MOSトランジスタ MN11 を有する。ワード線は大振幅で駆動されるため、ワードドライバはVcc2の電源電圧で動作する回路となっており、ワードデコーダとワードドライバの間にレベル変換回路を有する。



レベル変換回路は小振幅から大振幅の信号を形成するため、基本的に厚膜MOSトランジスタで構成する。基本的には図33で説明したものの同様である。

待機時にはSTBは‘H’となり、電源Vcc1はオフされる。厚膜MOSトランジスタMN12によってレベル変換回路の出力WL2は‘H’（3.3V）になり、ワード線WLの電位は‘L’（0.0V）に固定される。これにより待機時のメモリセルからビット線への電流漏れを防いでいる。

以上のワードデコーダ4704、ワードドライバ4702、レベル変換回路4703の構成は先に述べたSRAMやROMにおいても基本的には同様である。

図49は図43のセンスアンプ・ライト回路4705の具体的回路の詳細を示

す。データの保持にはビット線電位は影響しないので、待機時には電源Vcc1をオフにすればよい。このセンスアンプ・ライト回路は薄膜MOSトランジスタ回路で構成される。

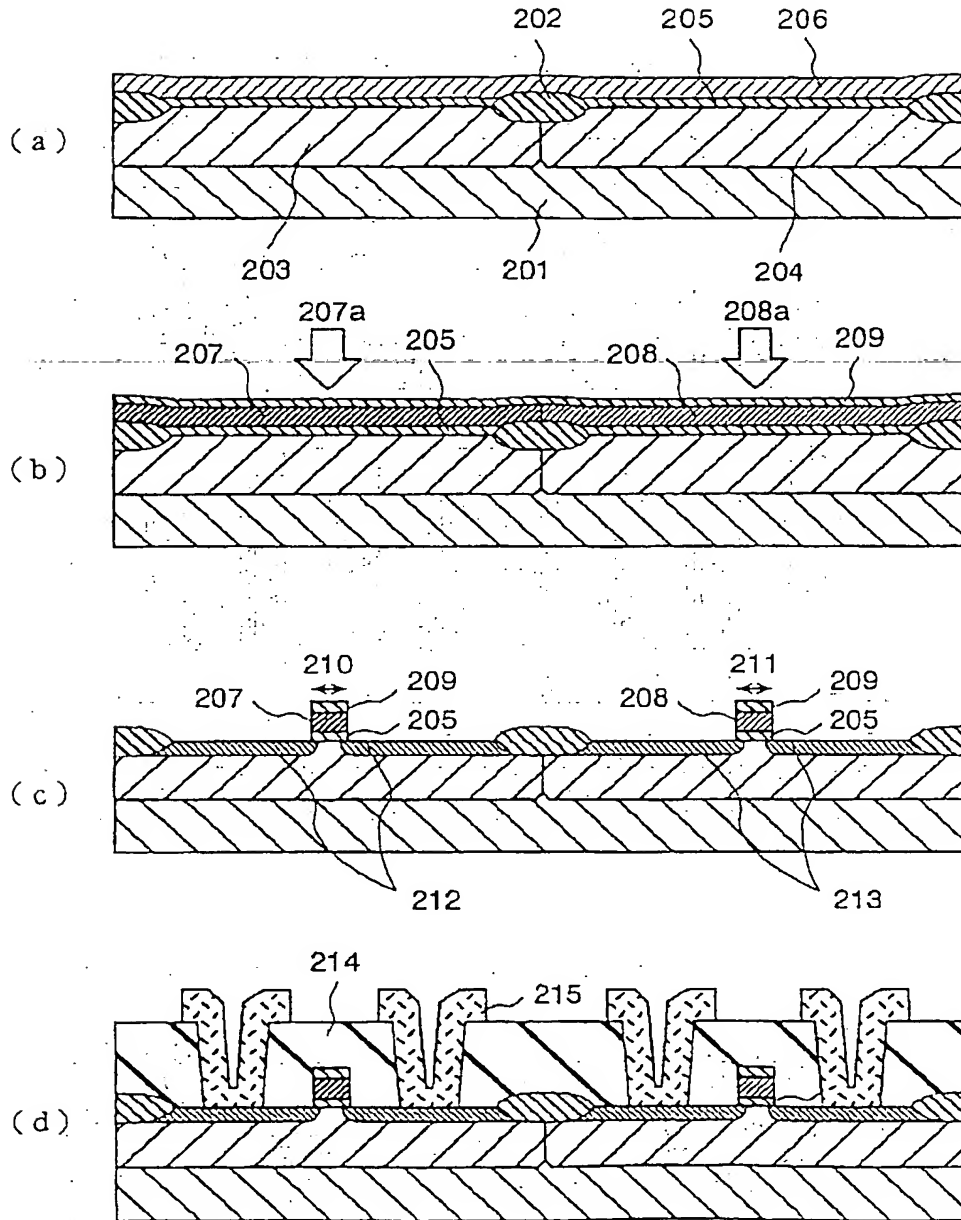
#### 産業上の利用の可能性

本発明の半導体集積回路装置によれば、回路動作速度を犠牲にすることなく、待機時の消費電力を小さくすることが可能になり、実用的な効果が大きい。



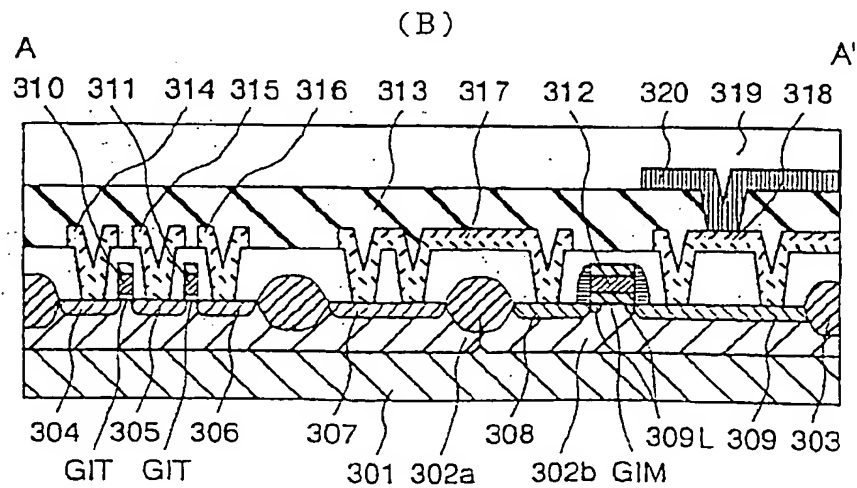
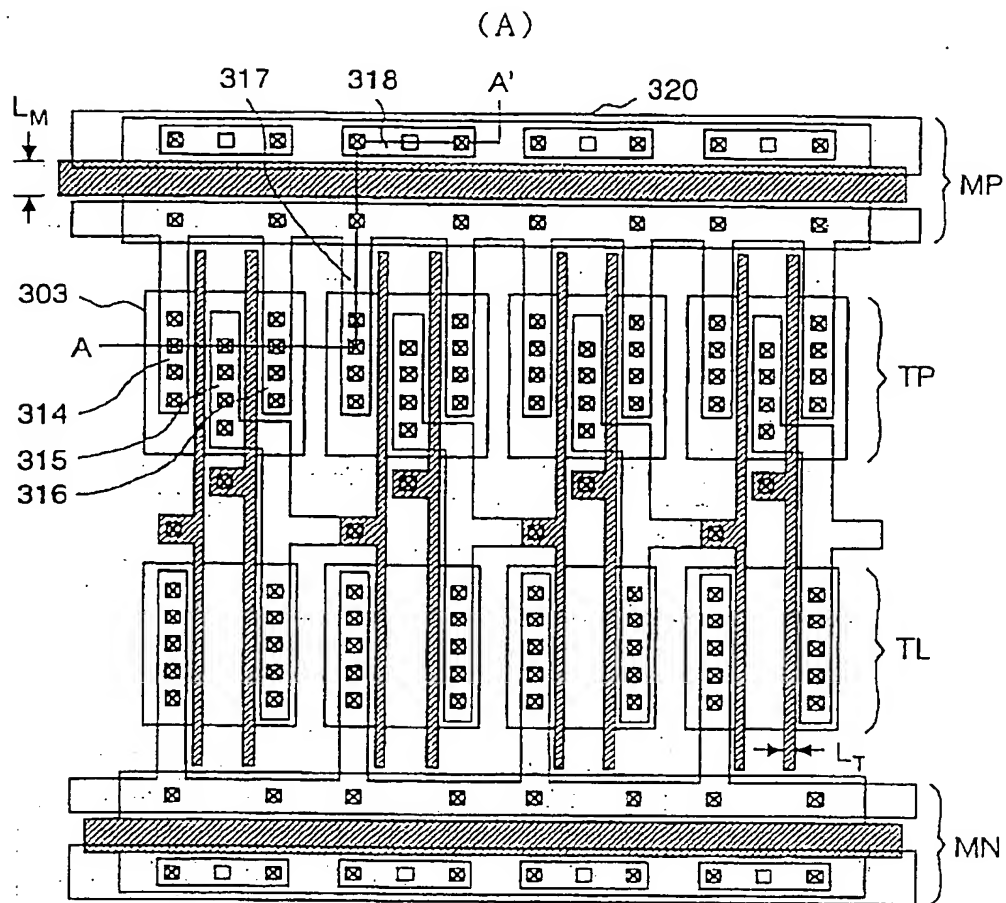
[ 図 2 ]

## 第 2 図



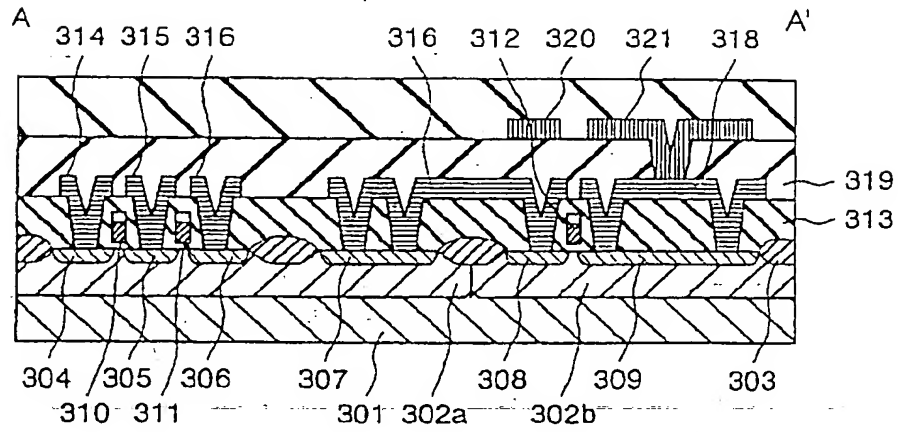
[ 図 3 ]

## 第 3 図



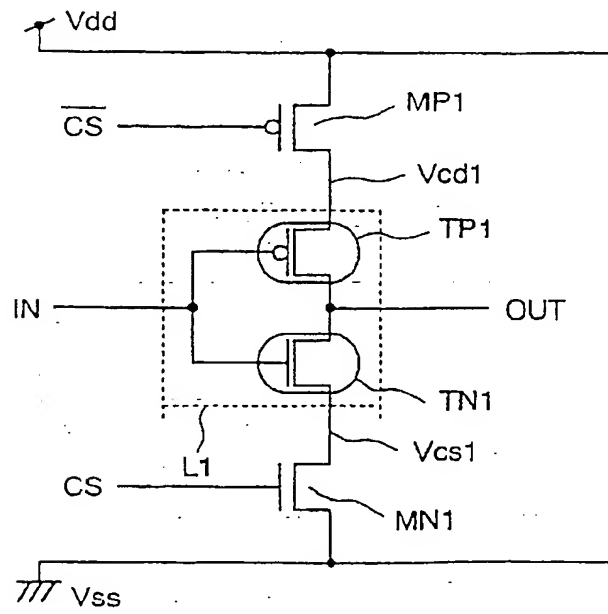
【图4】

第4图



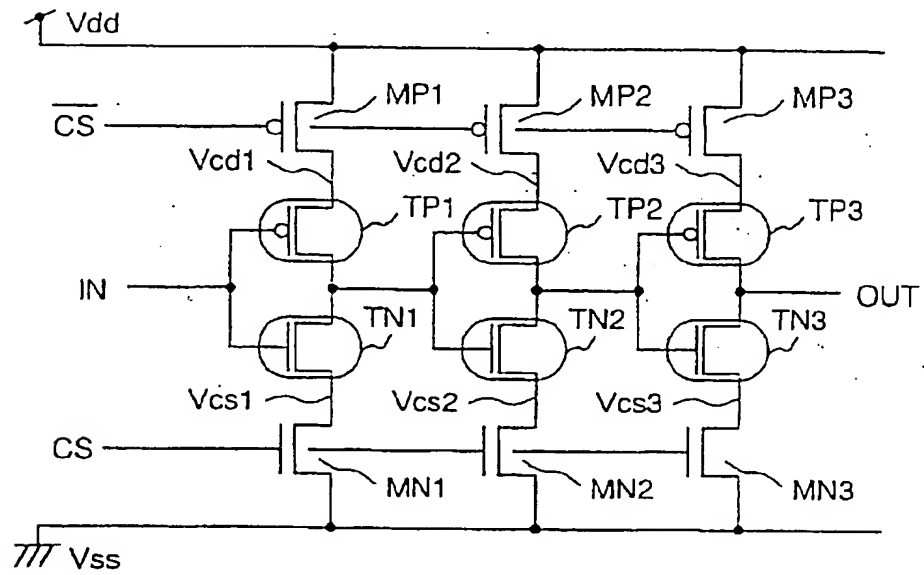
【图5】

第5图



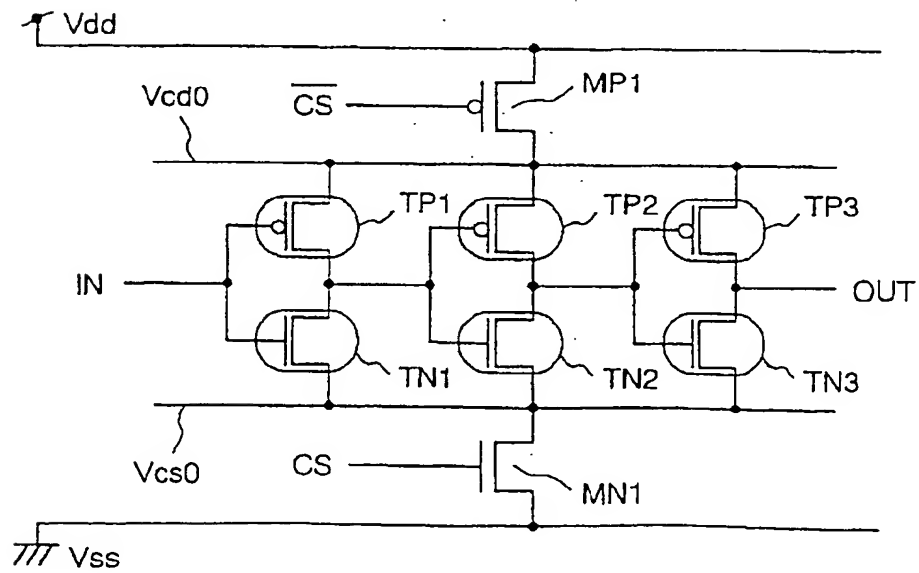
【図 6】

第 6 図



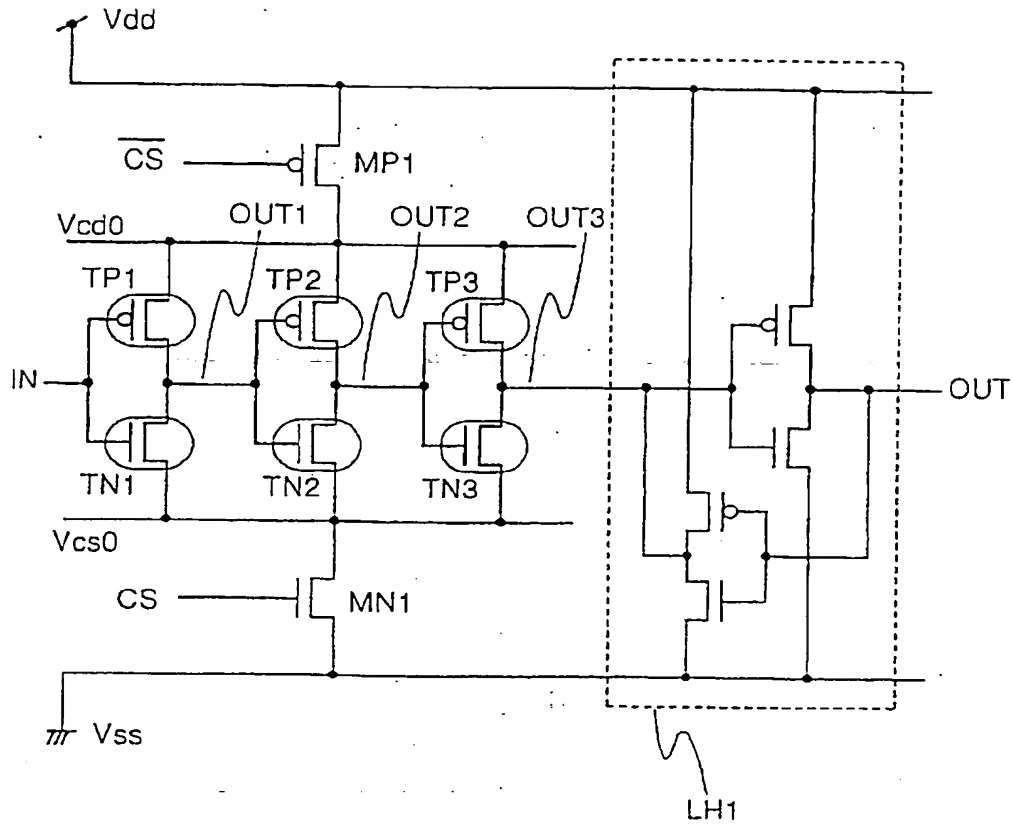
【図 7】

第 7 図



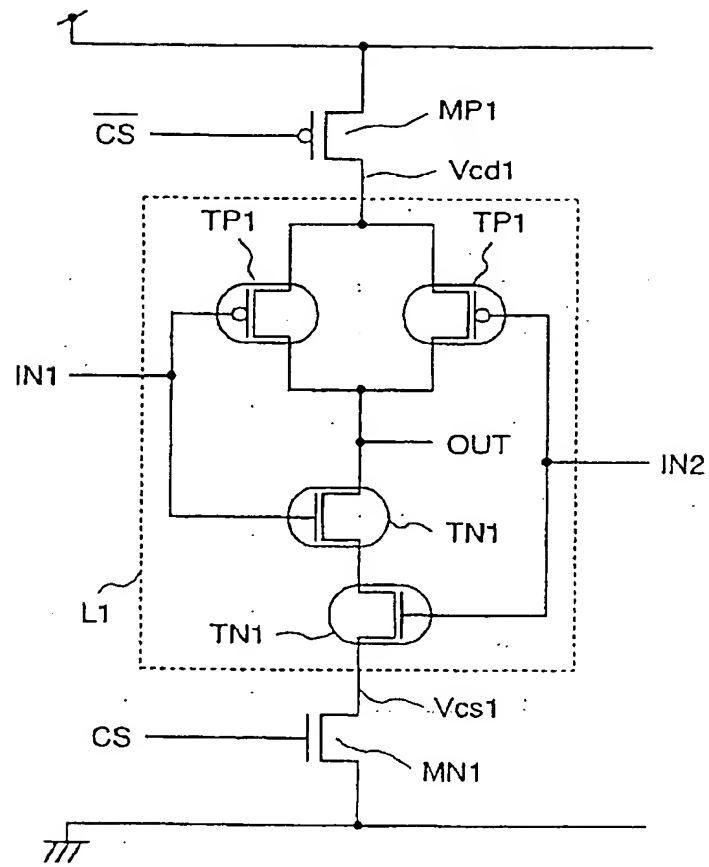
【图8】

第 8 图



【図 9】

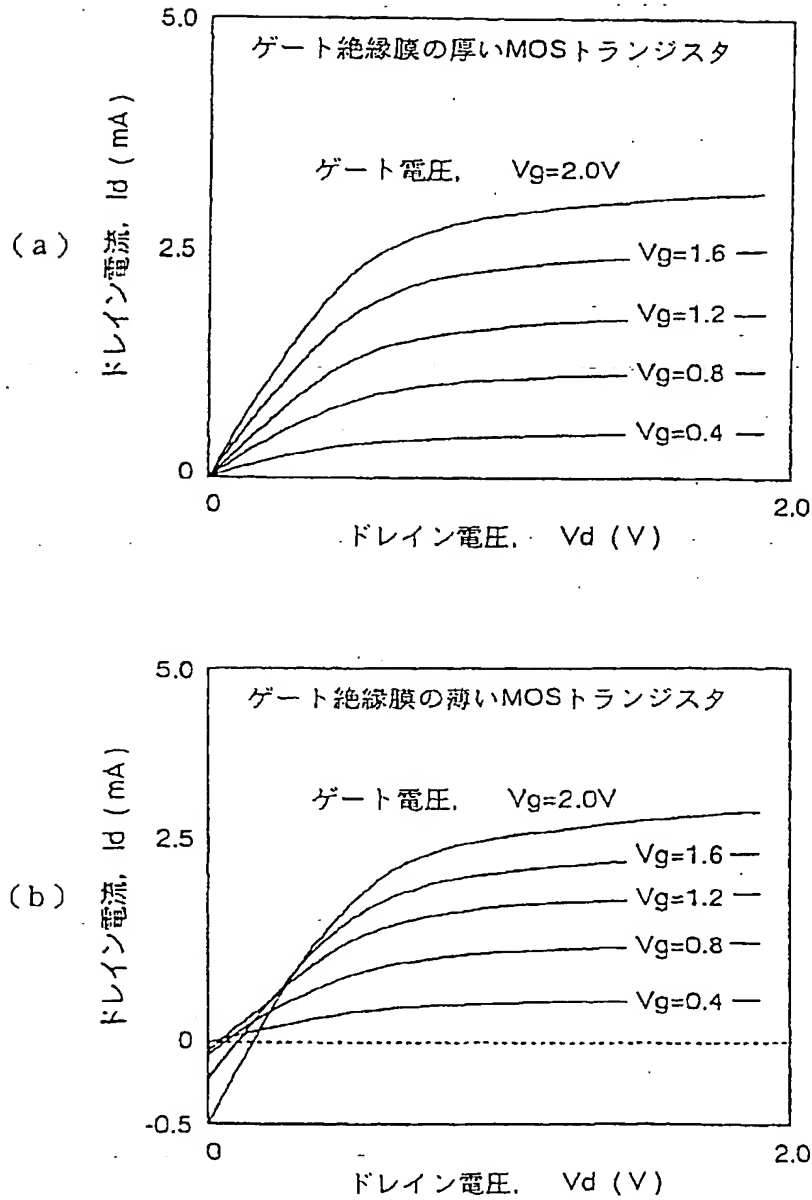
第9図





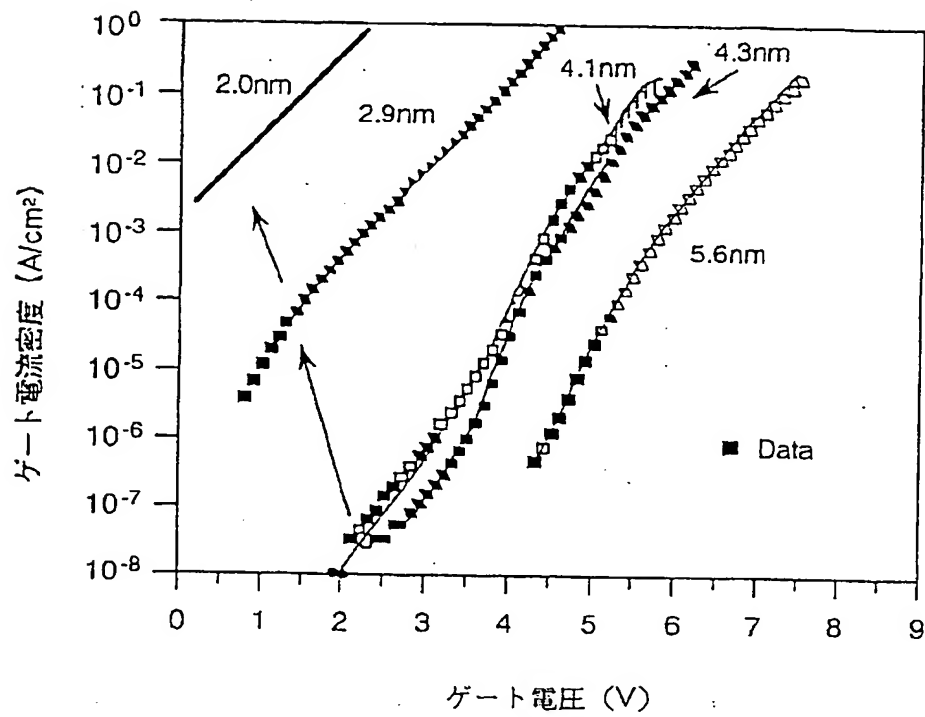
【図10】

## 第 1 0 図



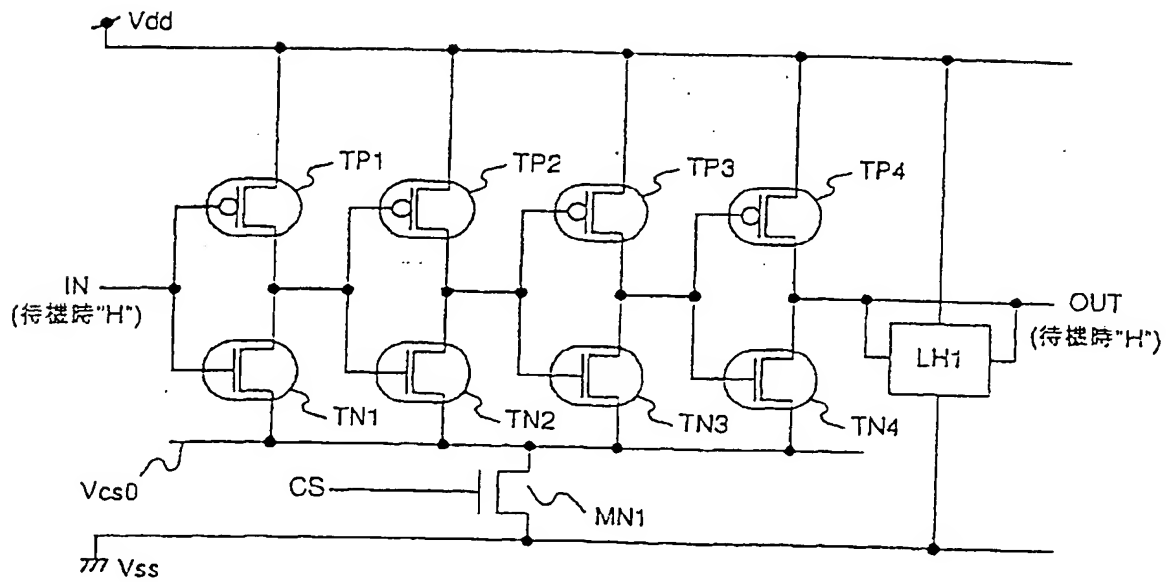
【図11】

第11図



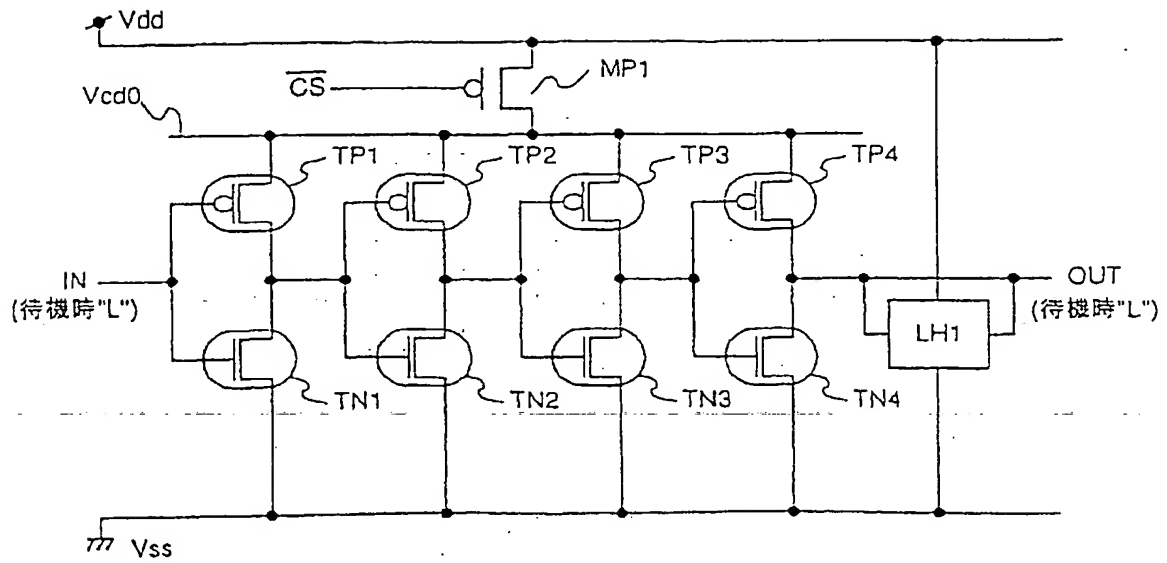
【図12】

第12図



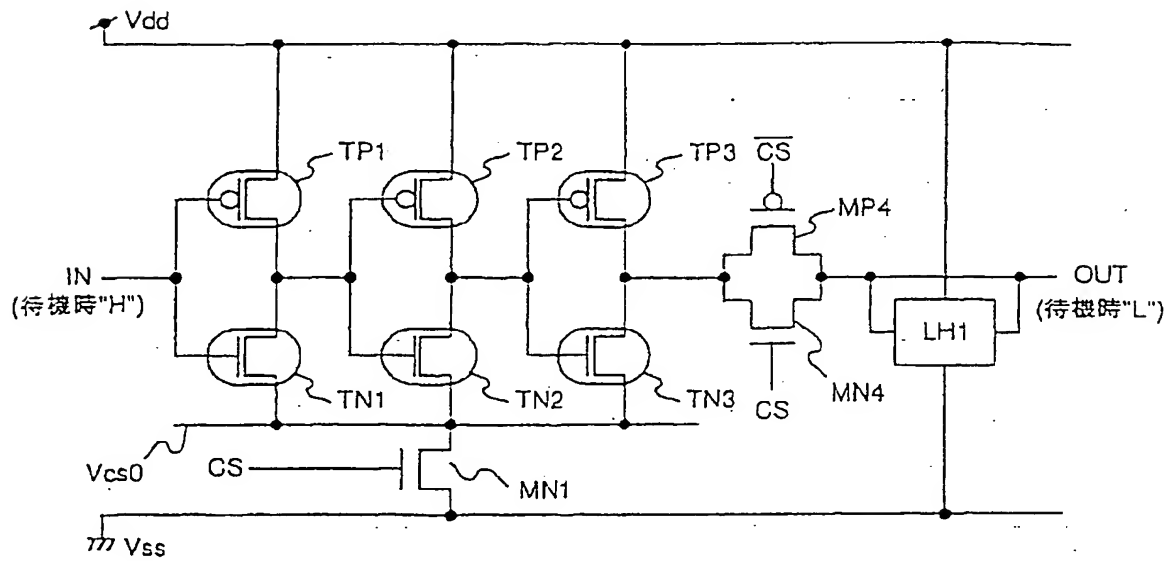
【図 1 3】

第 1 3 図



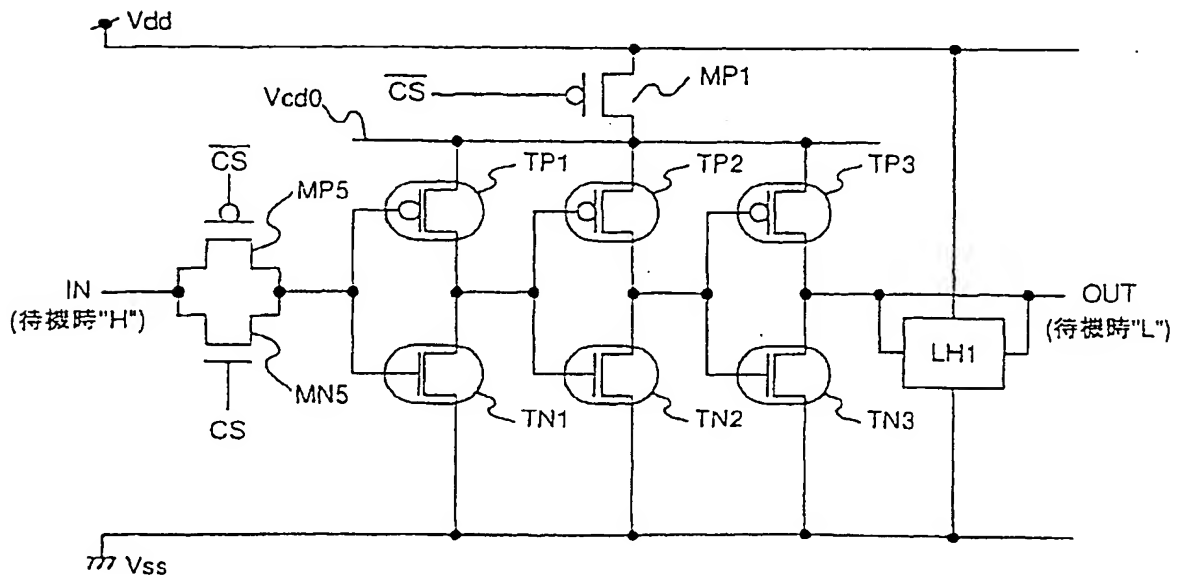
【図 1 4】

第 1 4 図



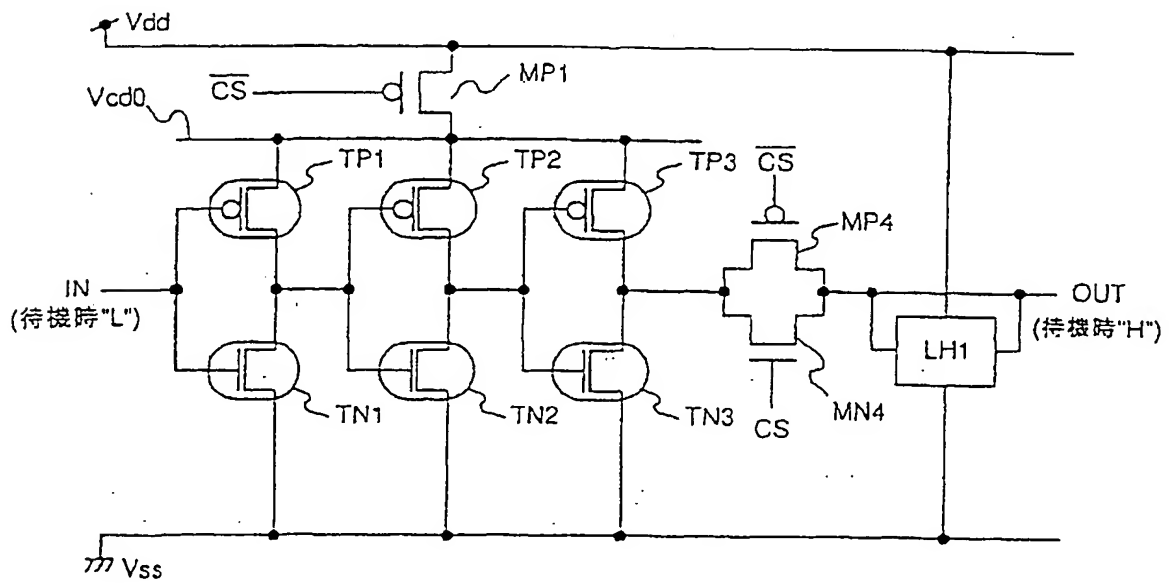
【図15】

第15図



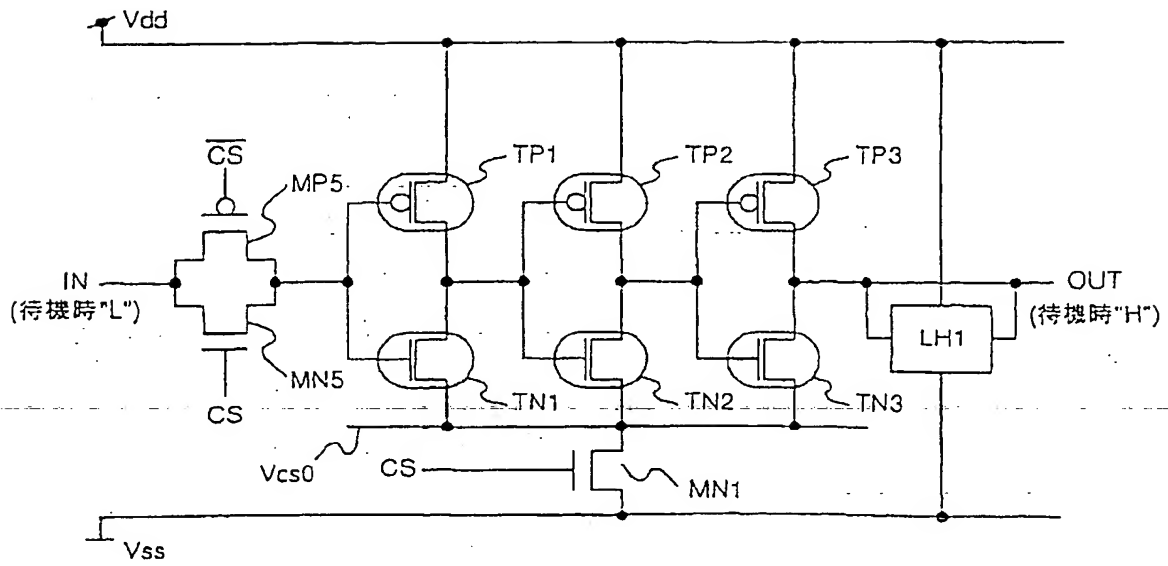
【図16】

第16図



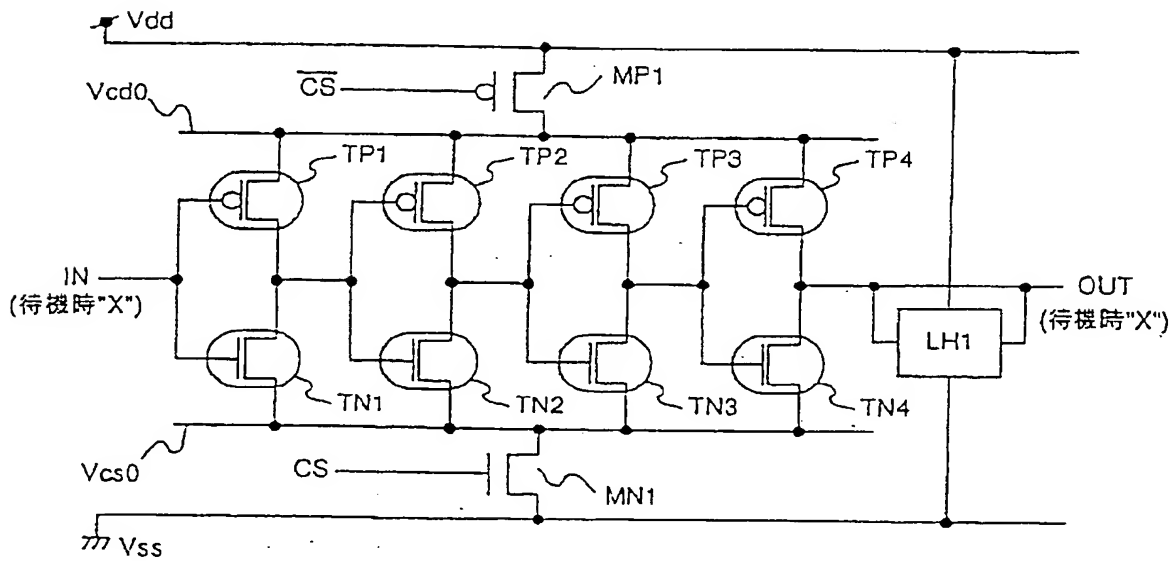
【図 17】

第 17 図



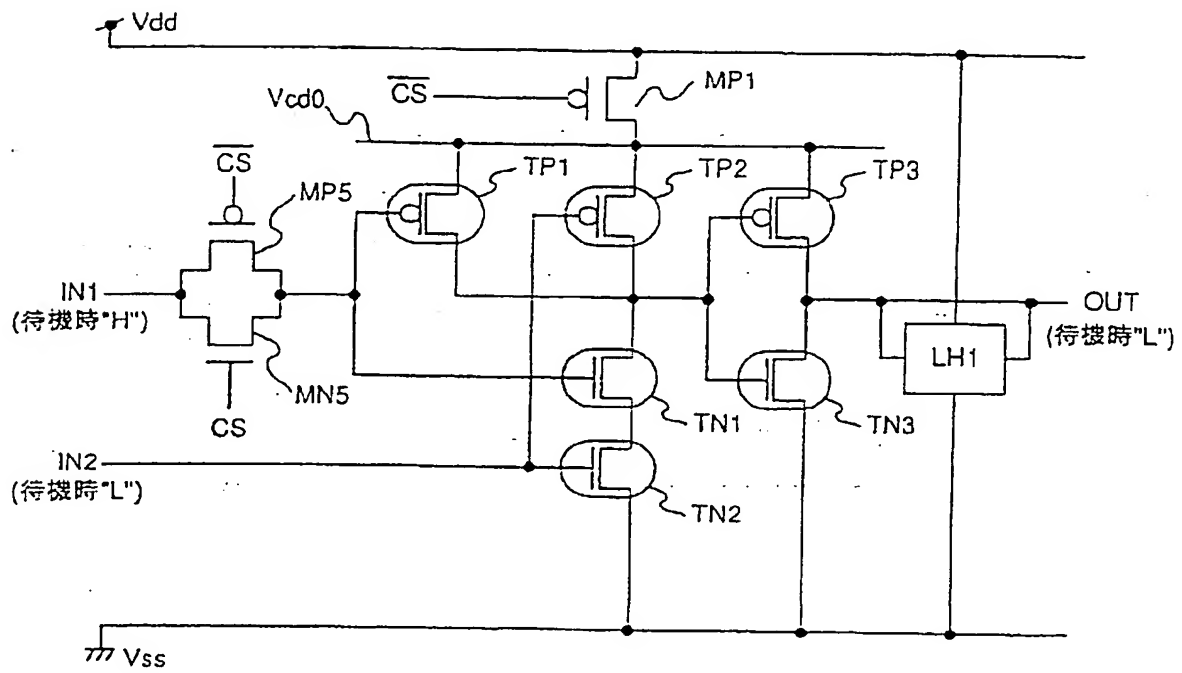
【図 18】

第 18 図



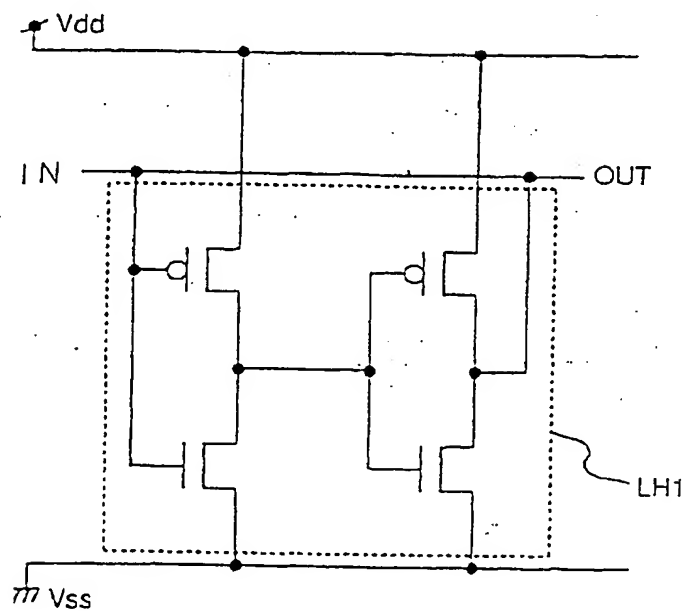
【図 1 9】

第 1 9 図

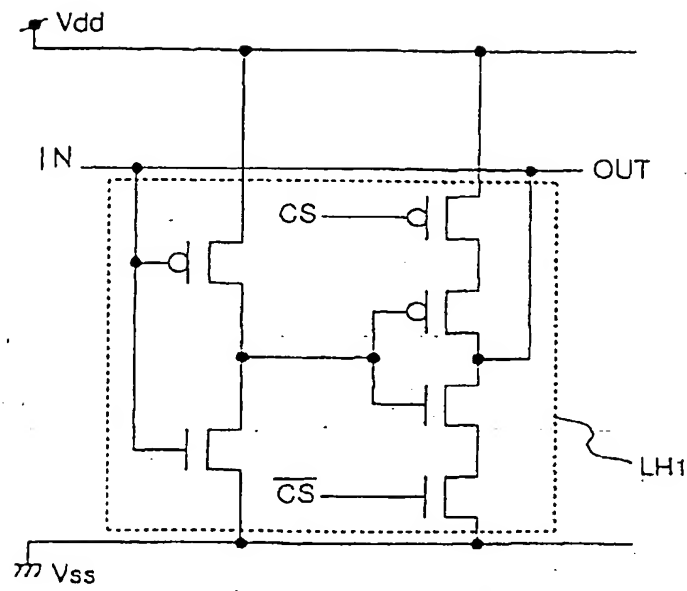


【図 2 0】

第 2 0 図

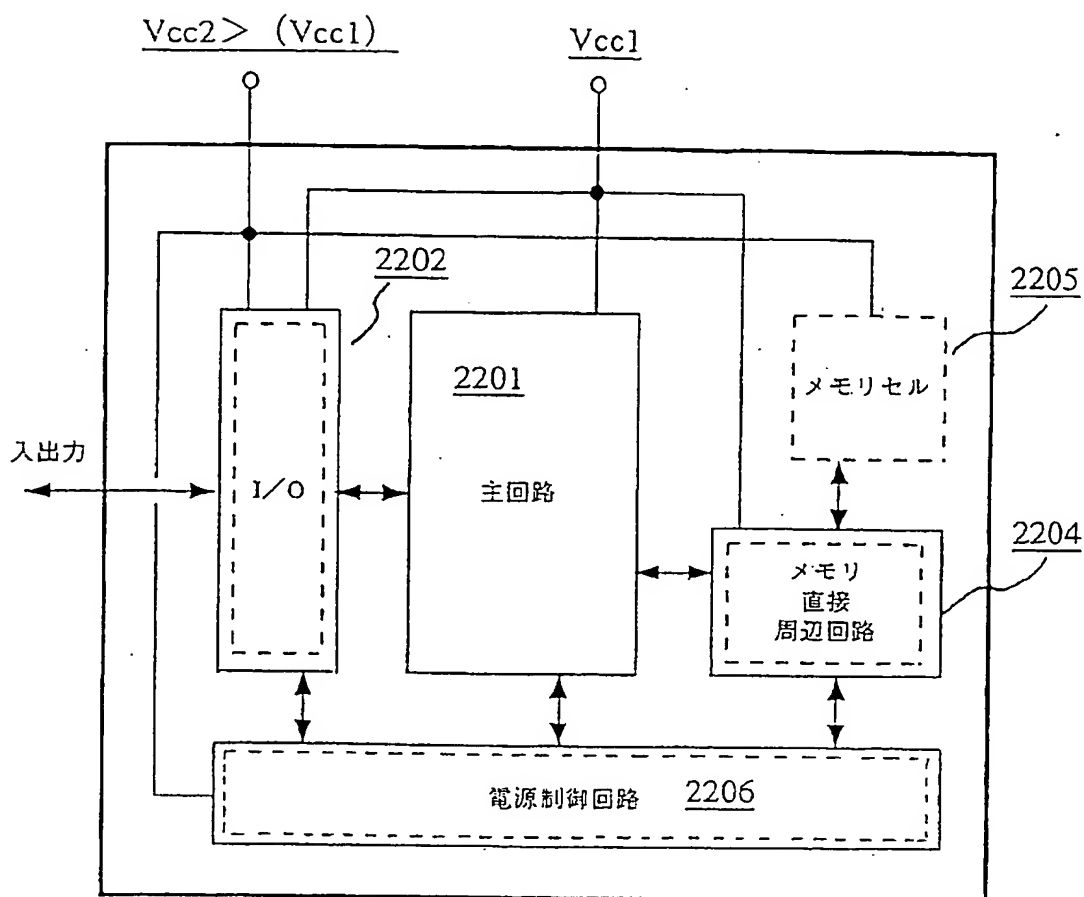


第 21 図



【図 2 2】

第 2 2 図



薄ゲート酸化膜MOSトランジスタで構成された領域



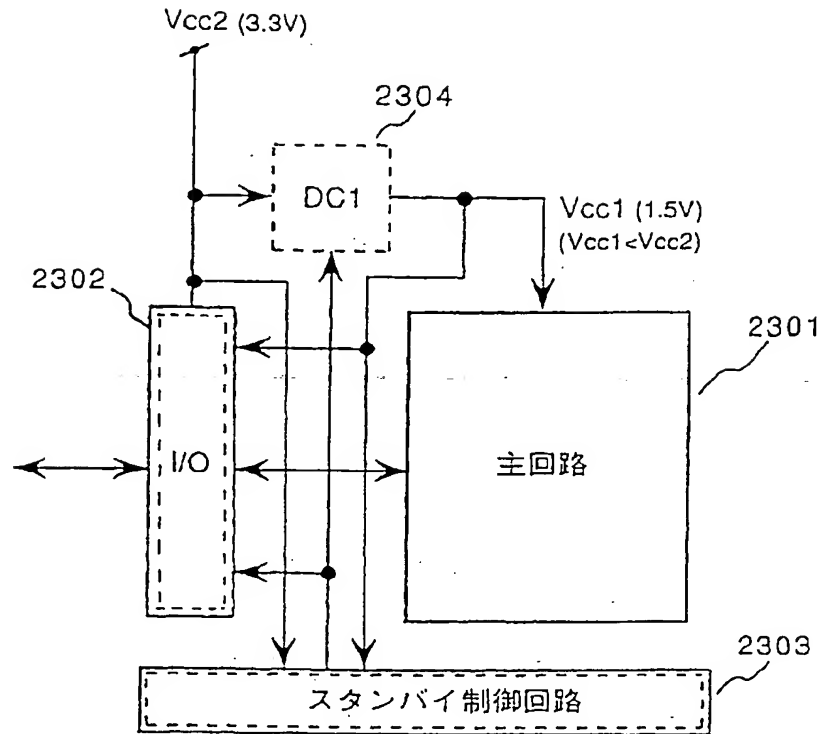
厚ゲート酸化膜MOSトランジスタで構成された領域

薄ゲート酸化膜MOSトランジスタと  
厚ゲート酸化膜MOSトランジスタとで構成された領域



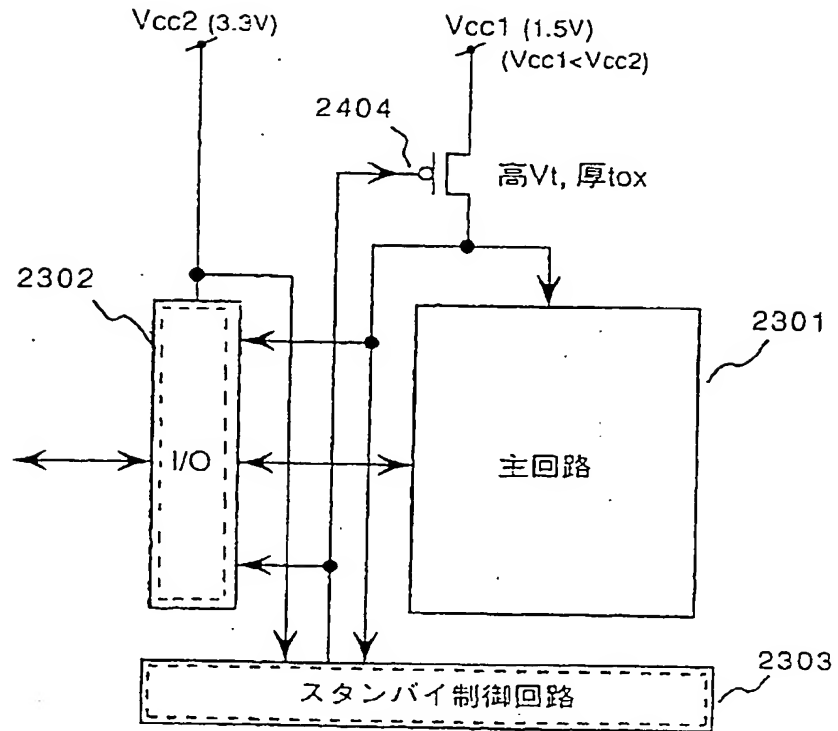
【図 2 3】

第 2 3 図



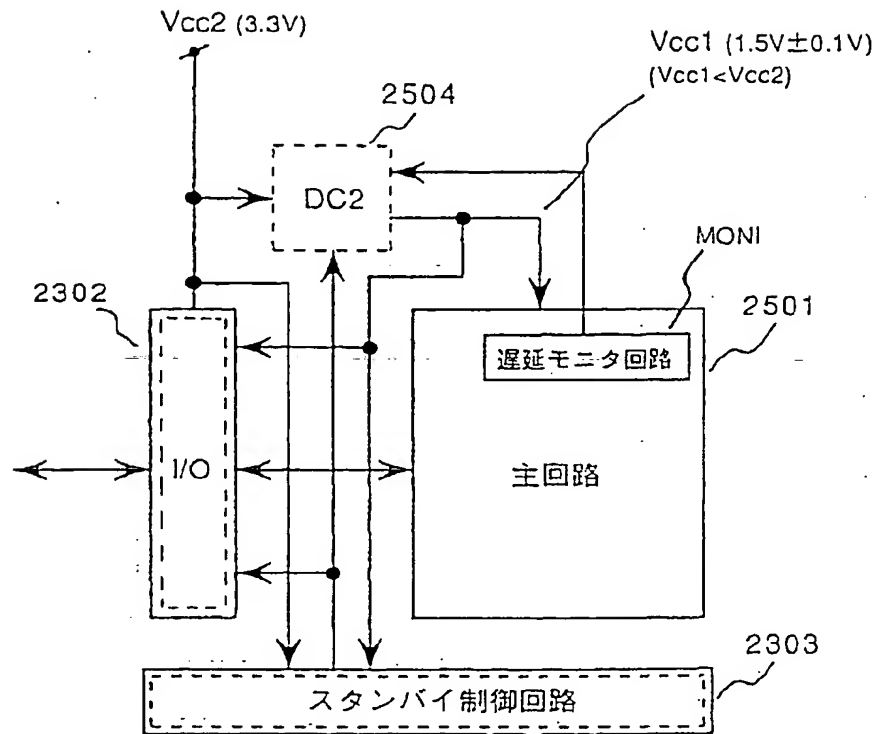
【図 2 4】

## 第 2 4 図



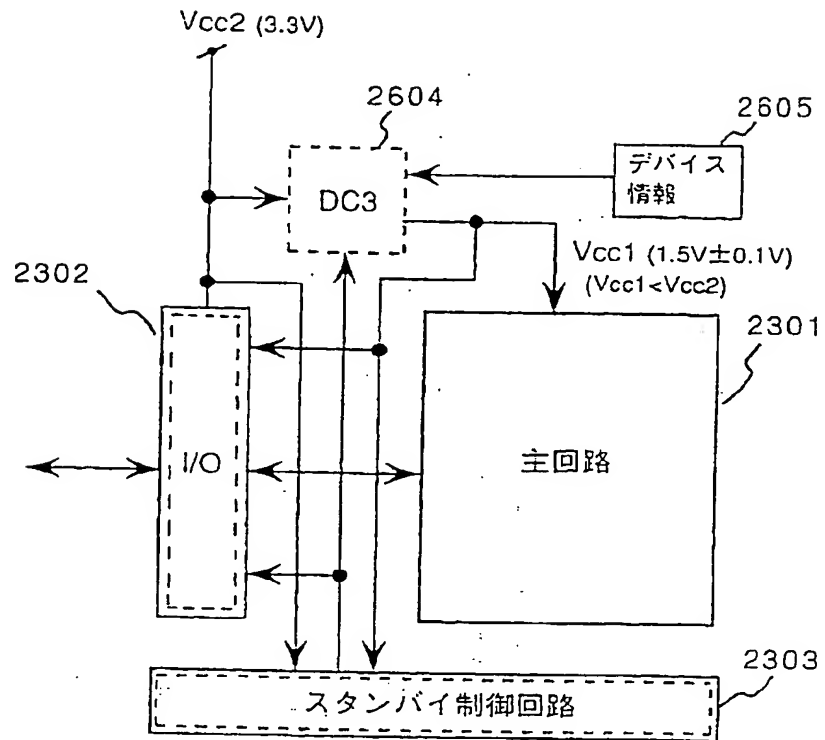
【図25】

第 2 5 図



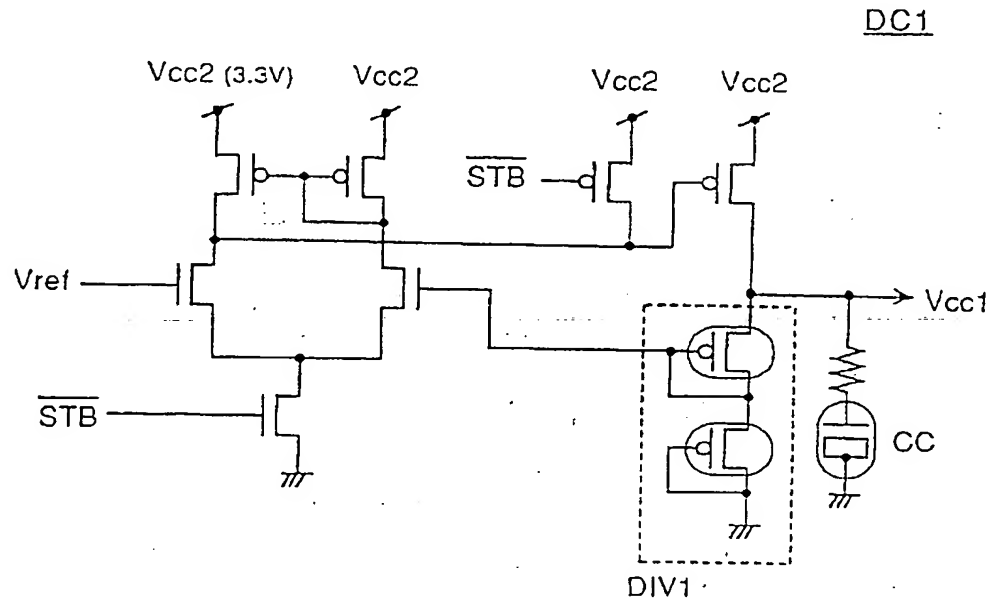
【図 2 6】

第 2 6 図



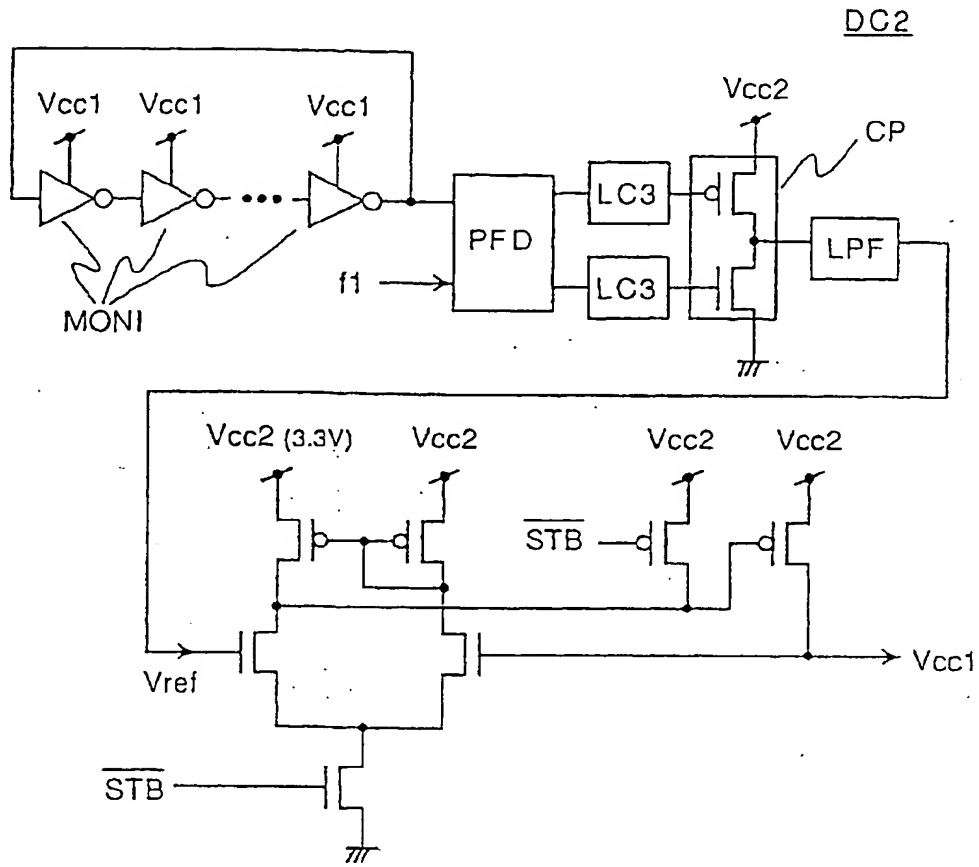
【图 27】

第 27 図



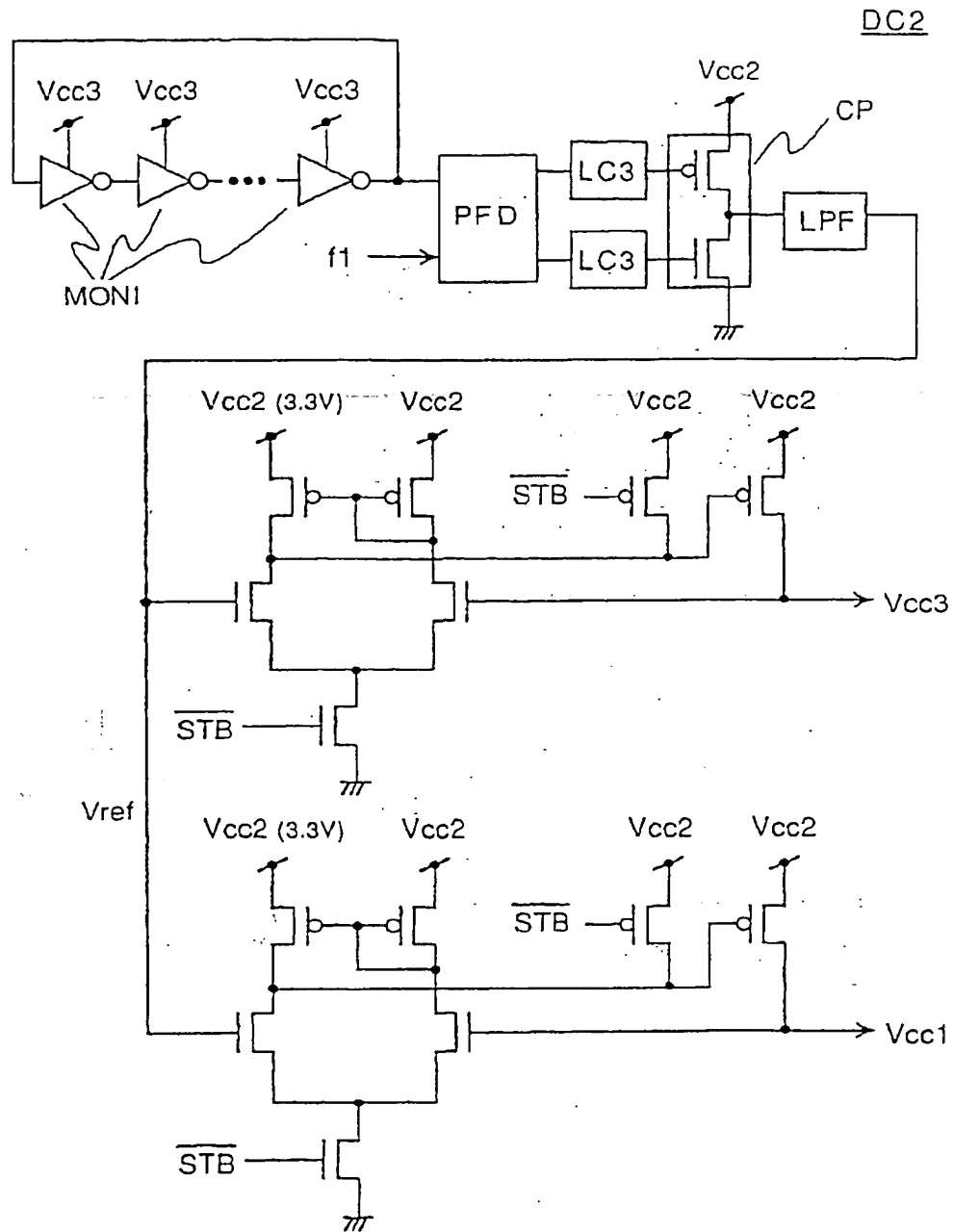
[ 図 28 ]

第 28 図



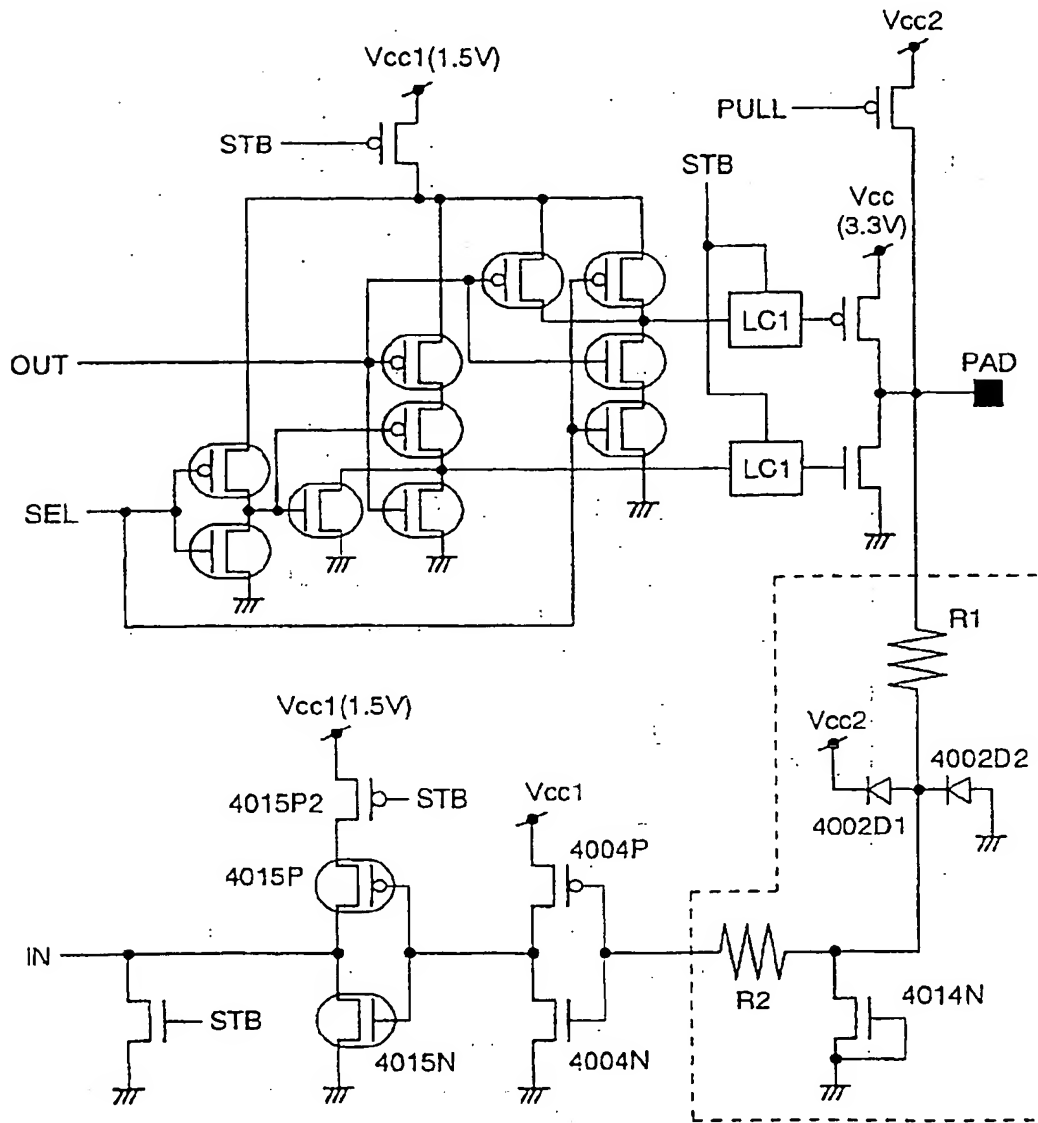
【図 29】

第 29 図



[ 图 3 0 ]

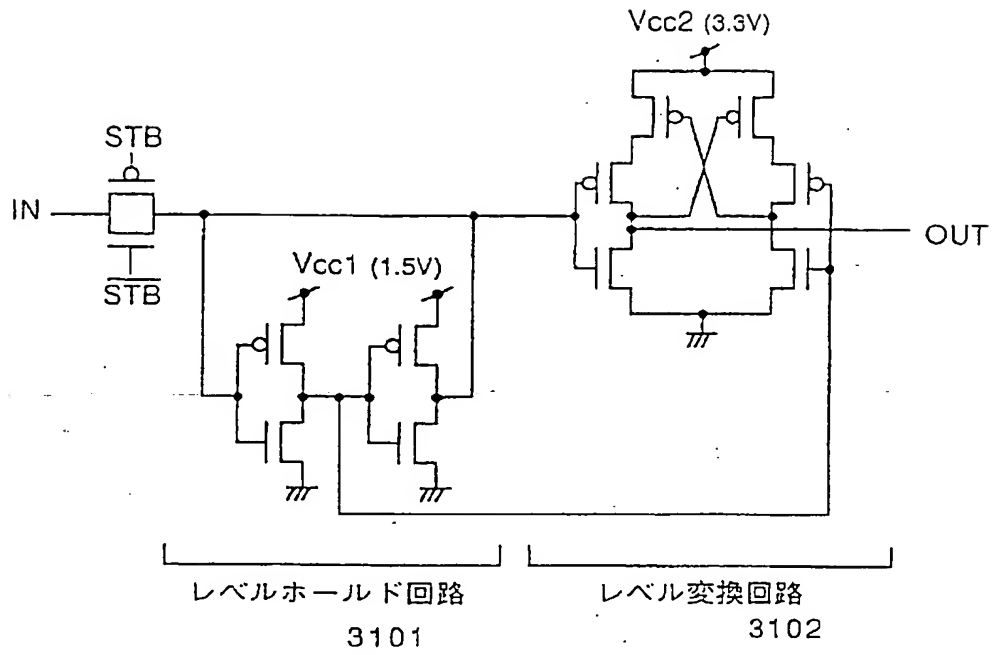
第 3 0 图





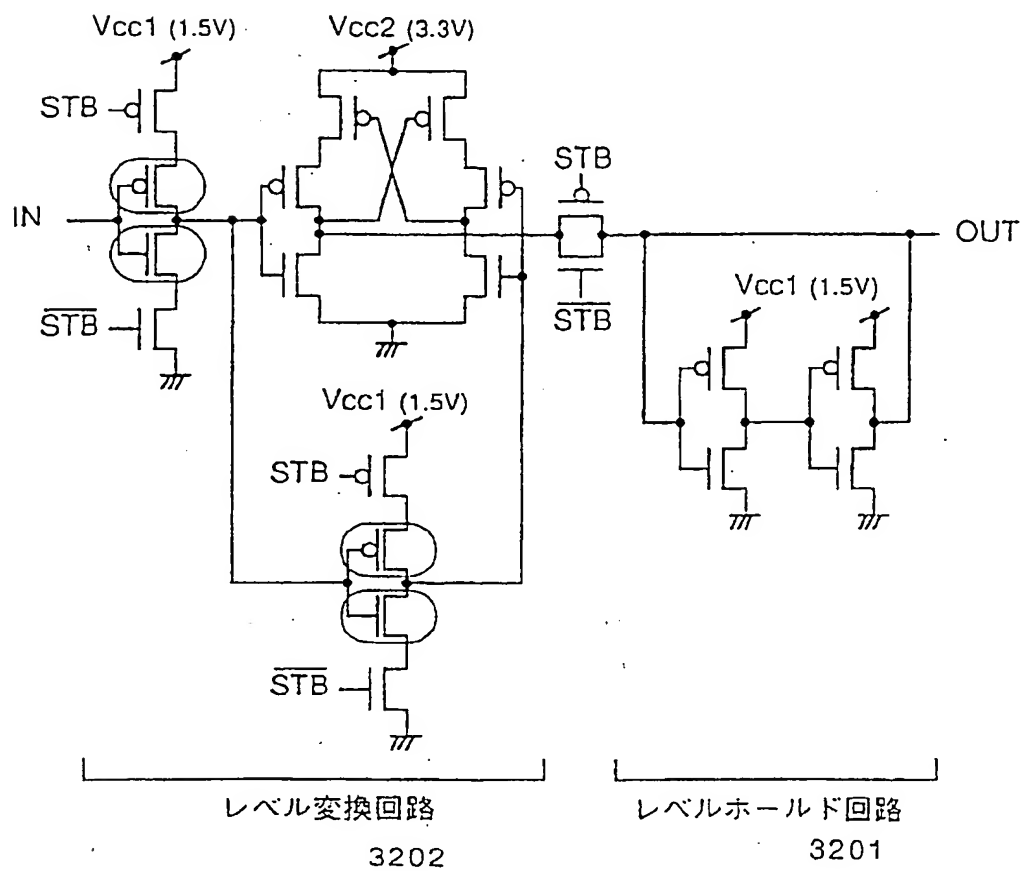
【図 3 1】

## 第 3 1 図



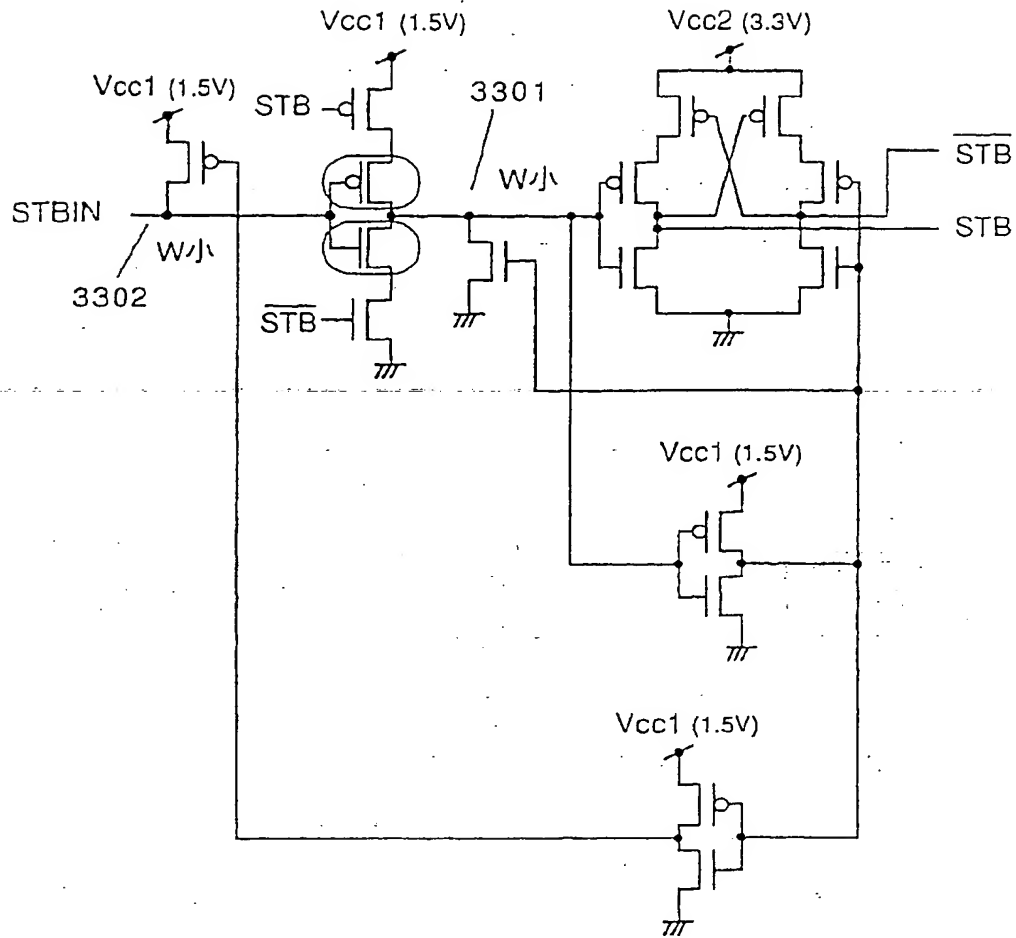
【図32】

## 第 3 2 図



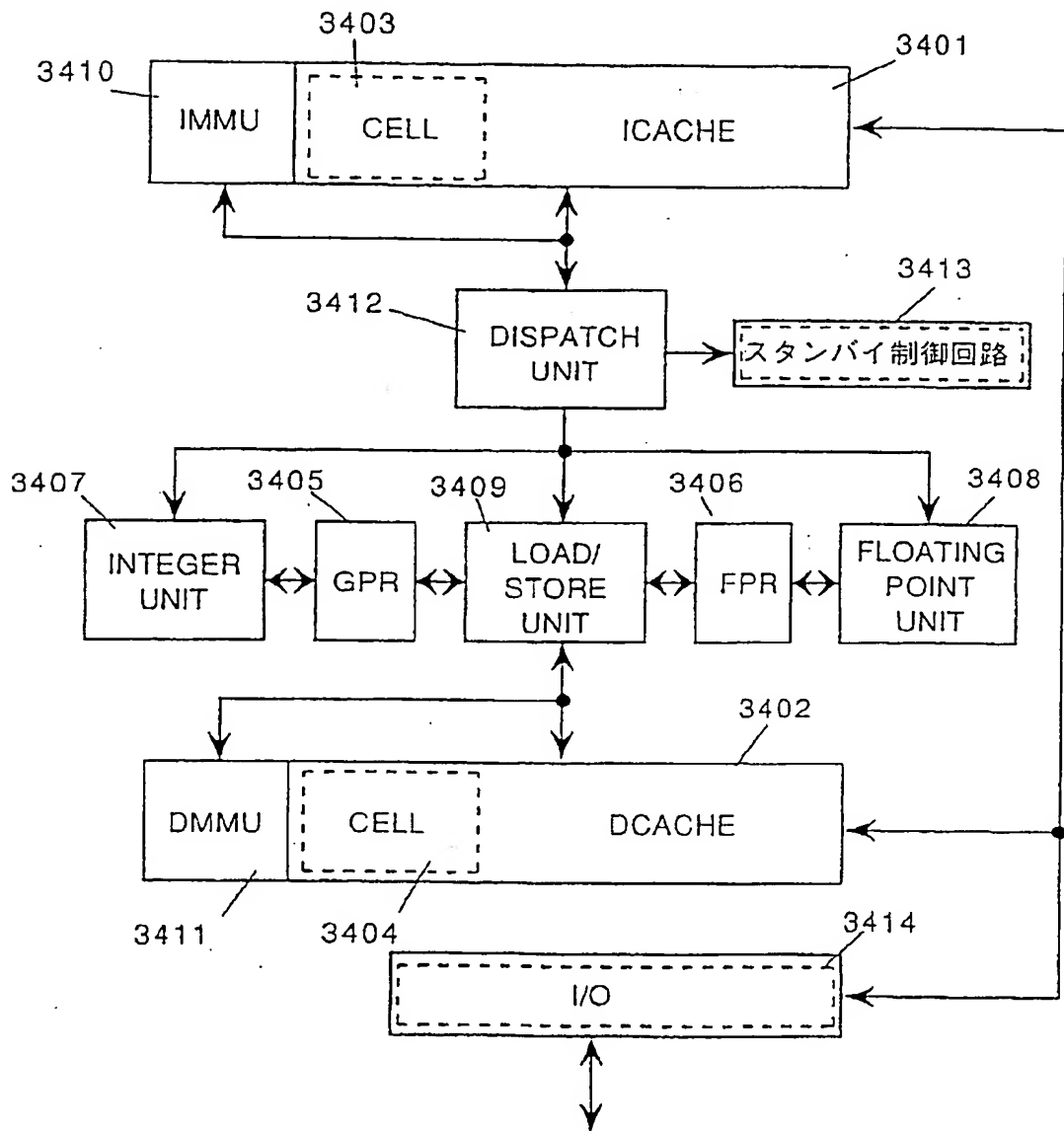
〔図 3 3〕

第 3 3 図



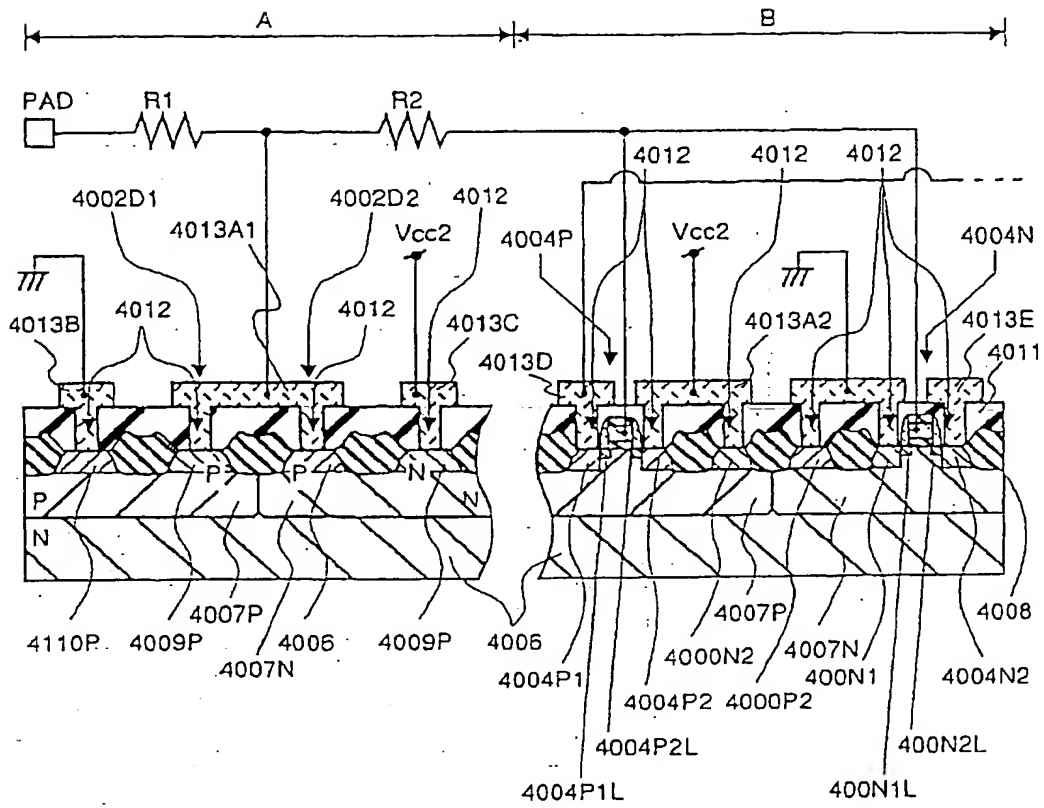
【図34】

第34図



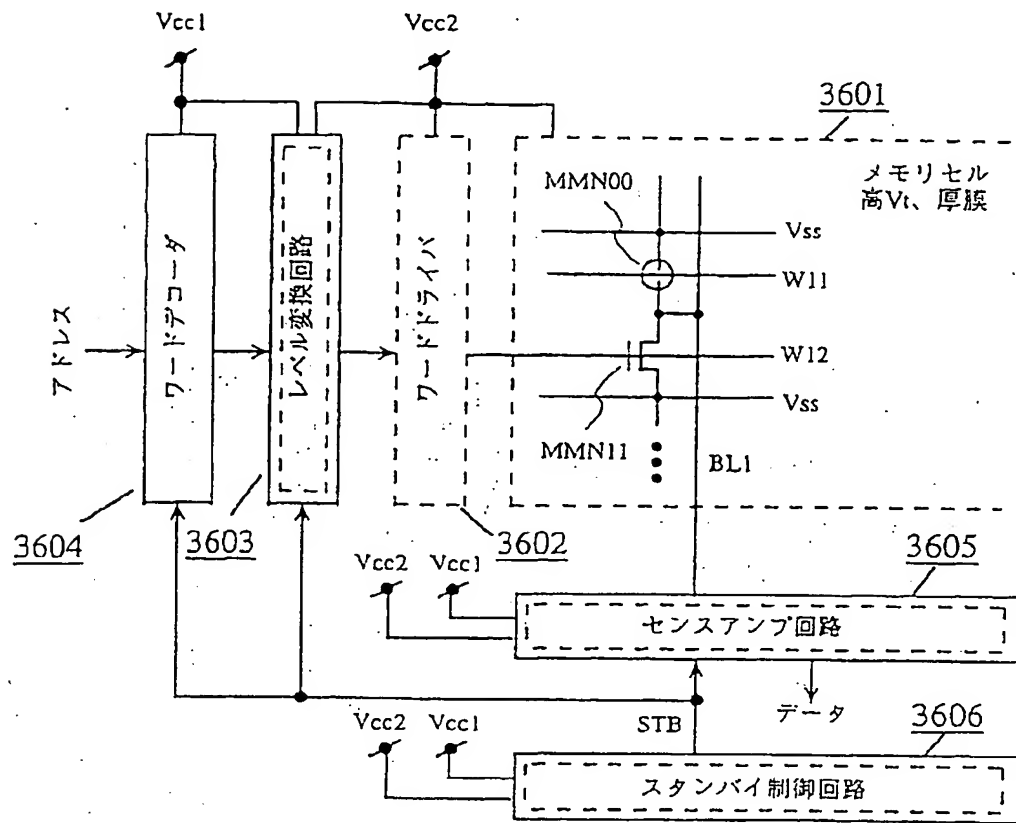
【図 3 5】

第 3 5 図

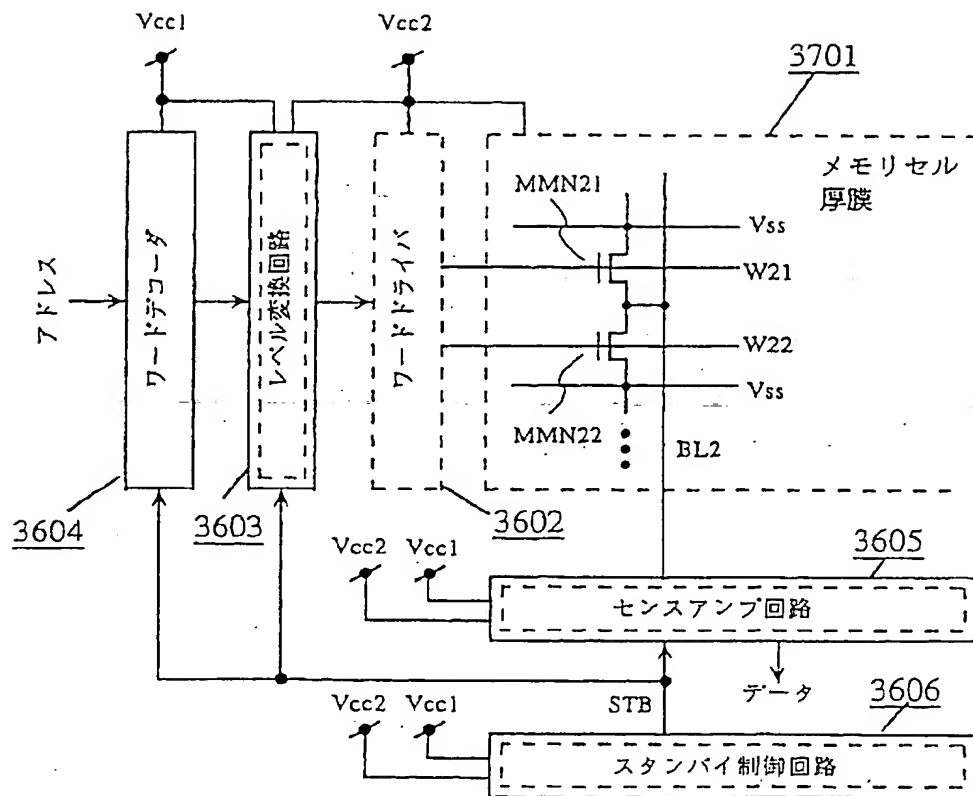


【図36】

第36図

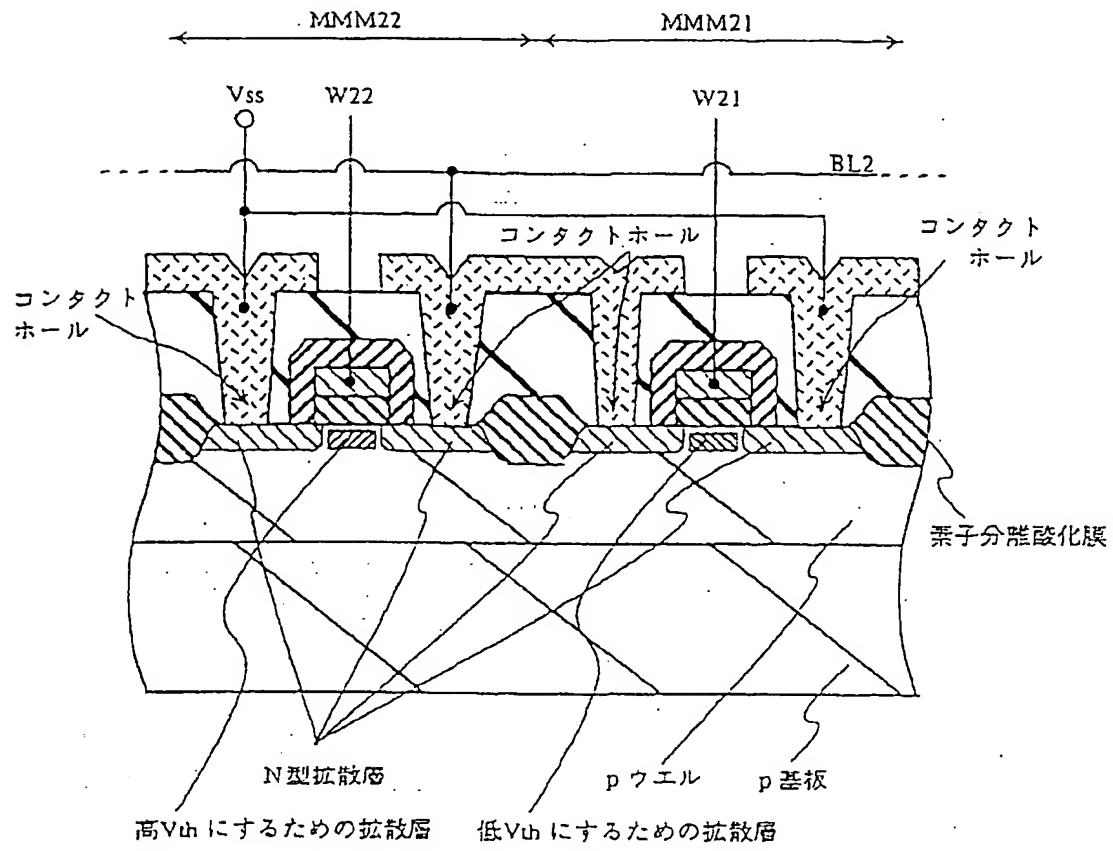


第 37 図



【図38】

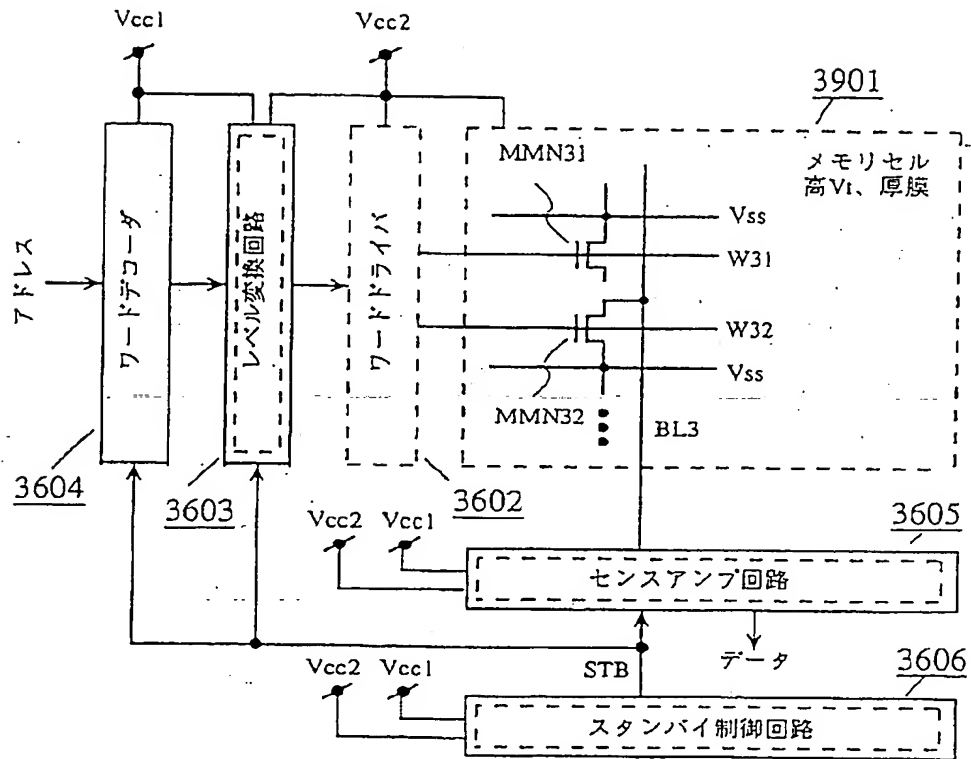
第38図





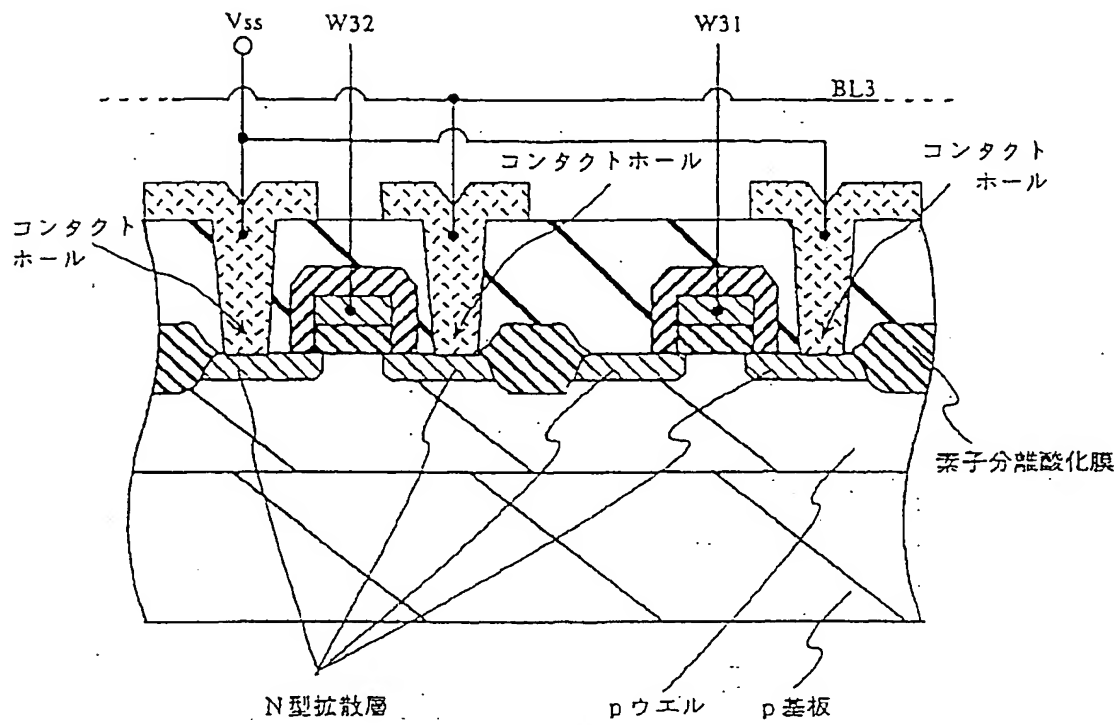
【図39】

第39図



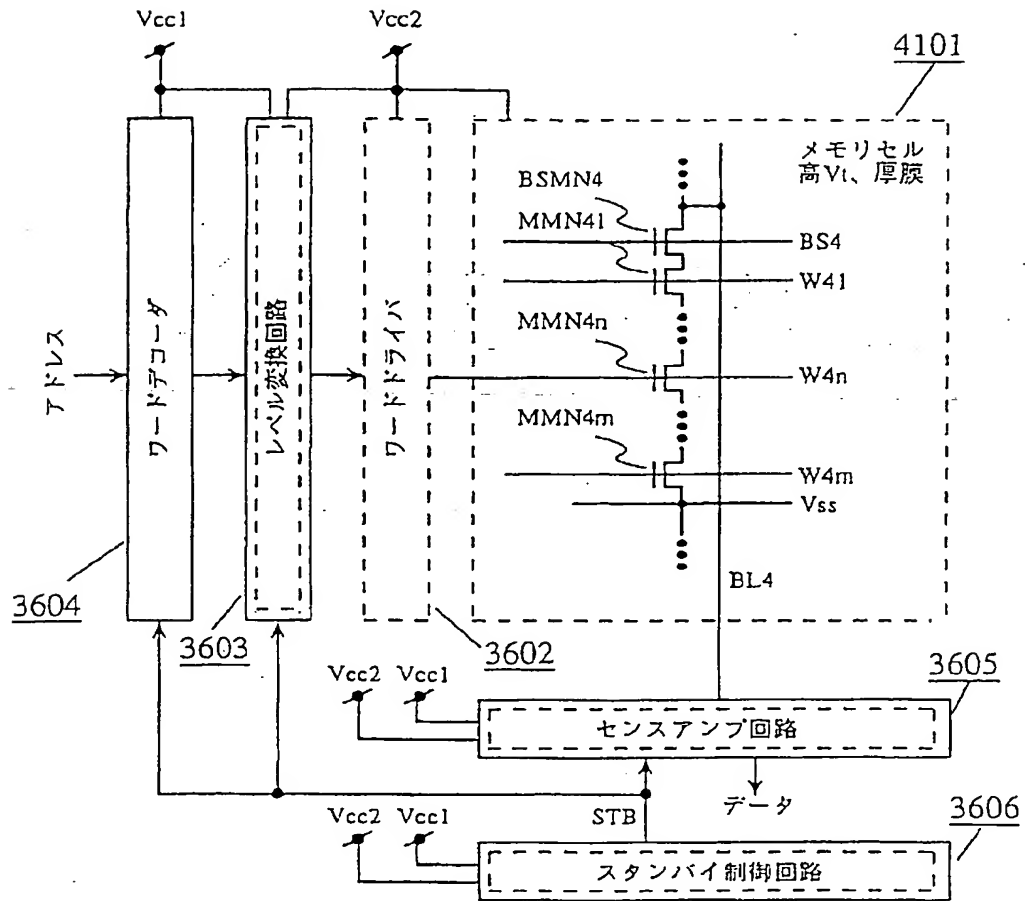
【図40】

第40図



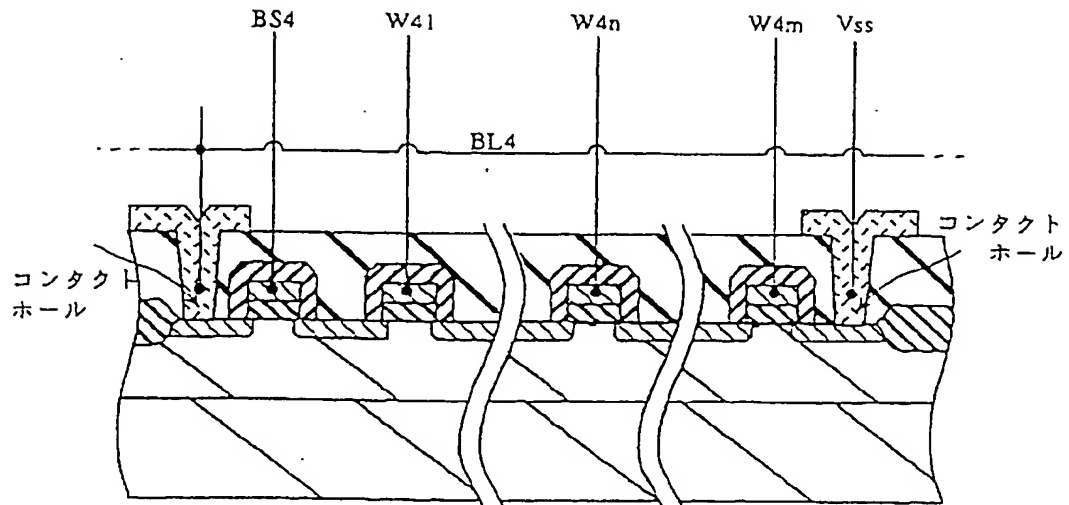
【図41】

第41図



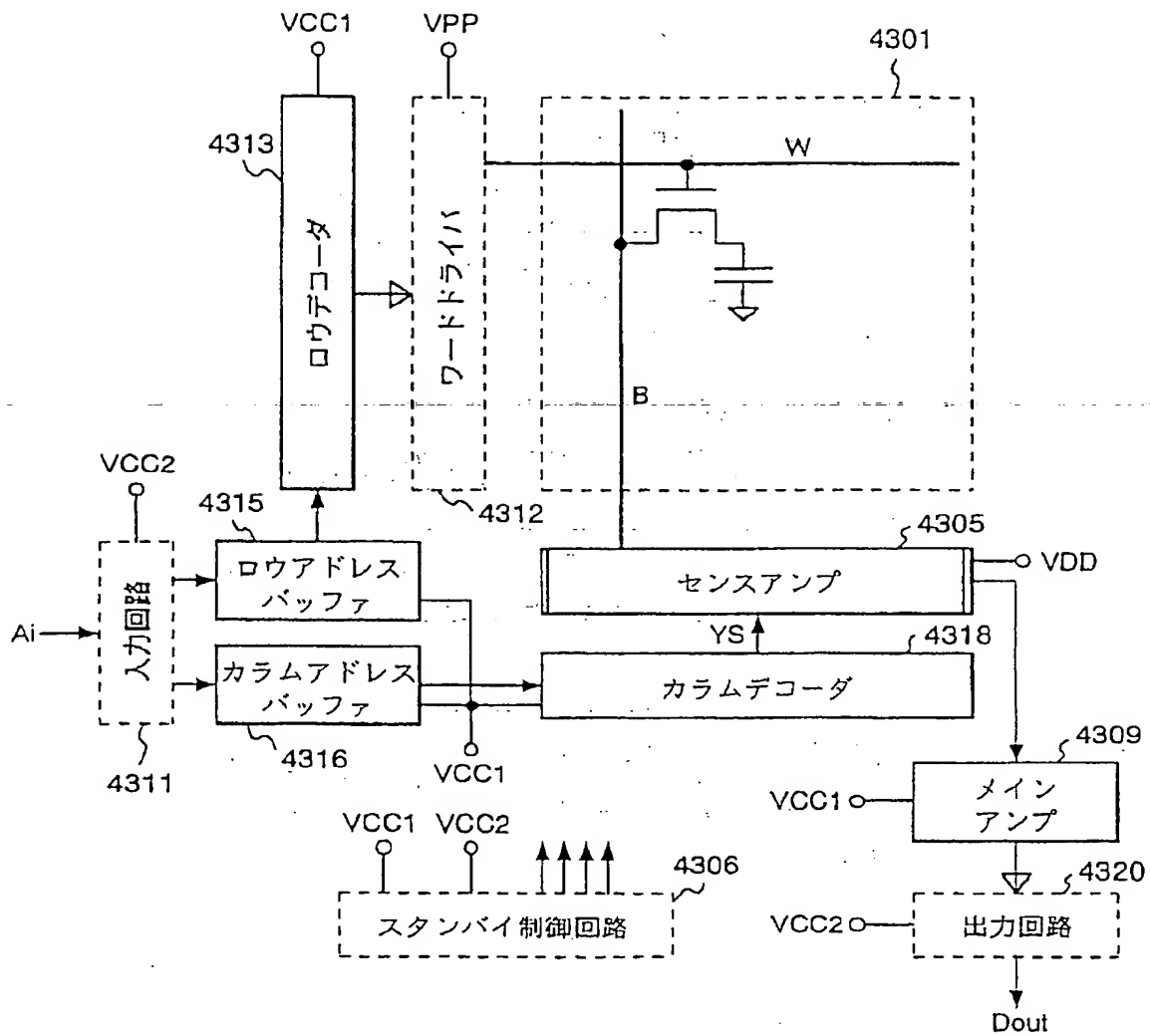
【図 4 2】

## 第 4 2 図



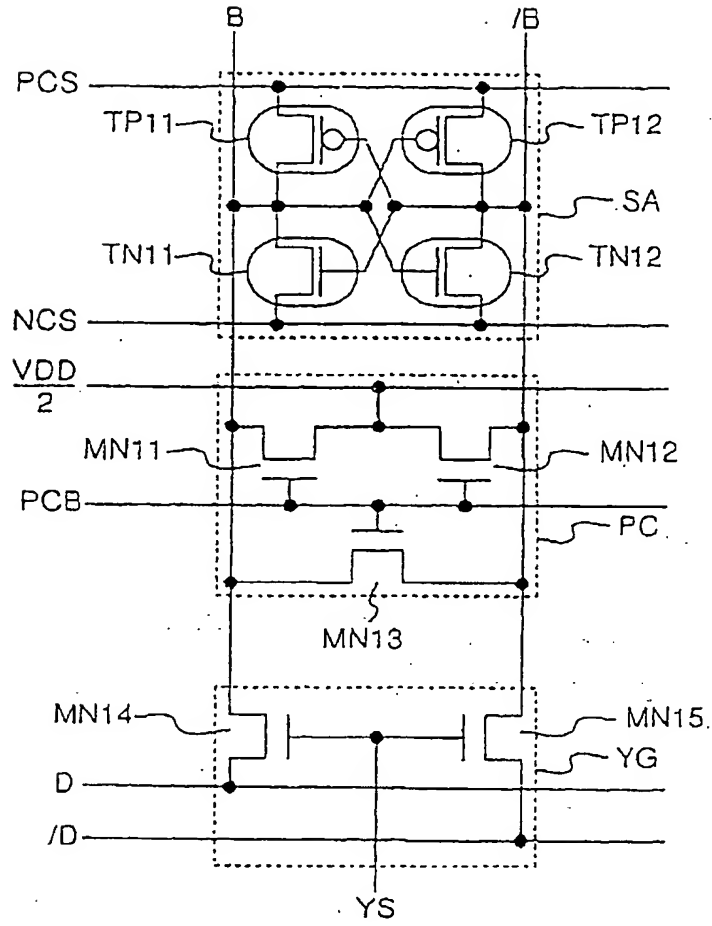
【図43】

第43図



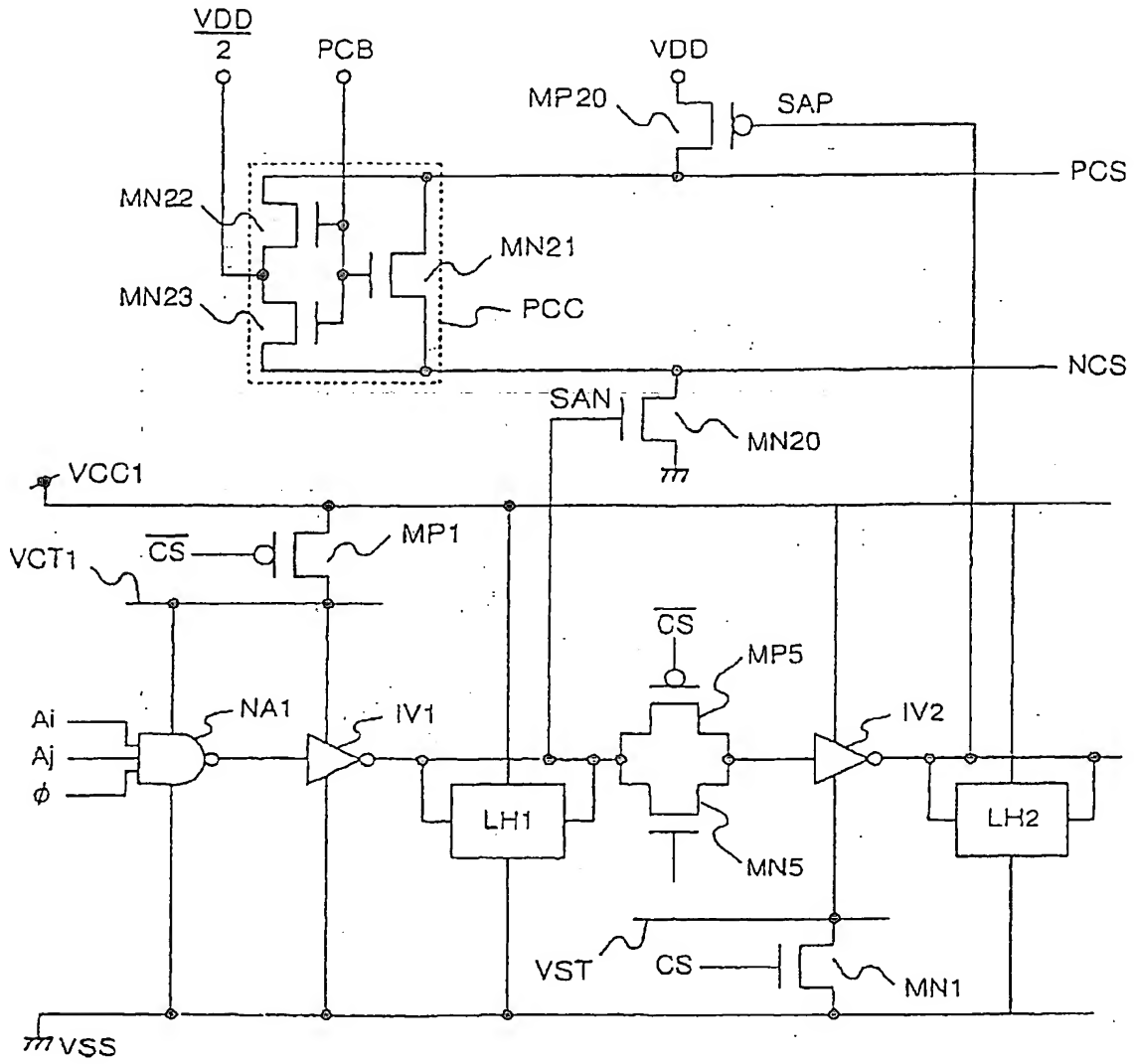
【図 4 4】

第 4 4 図



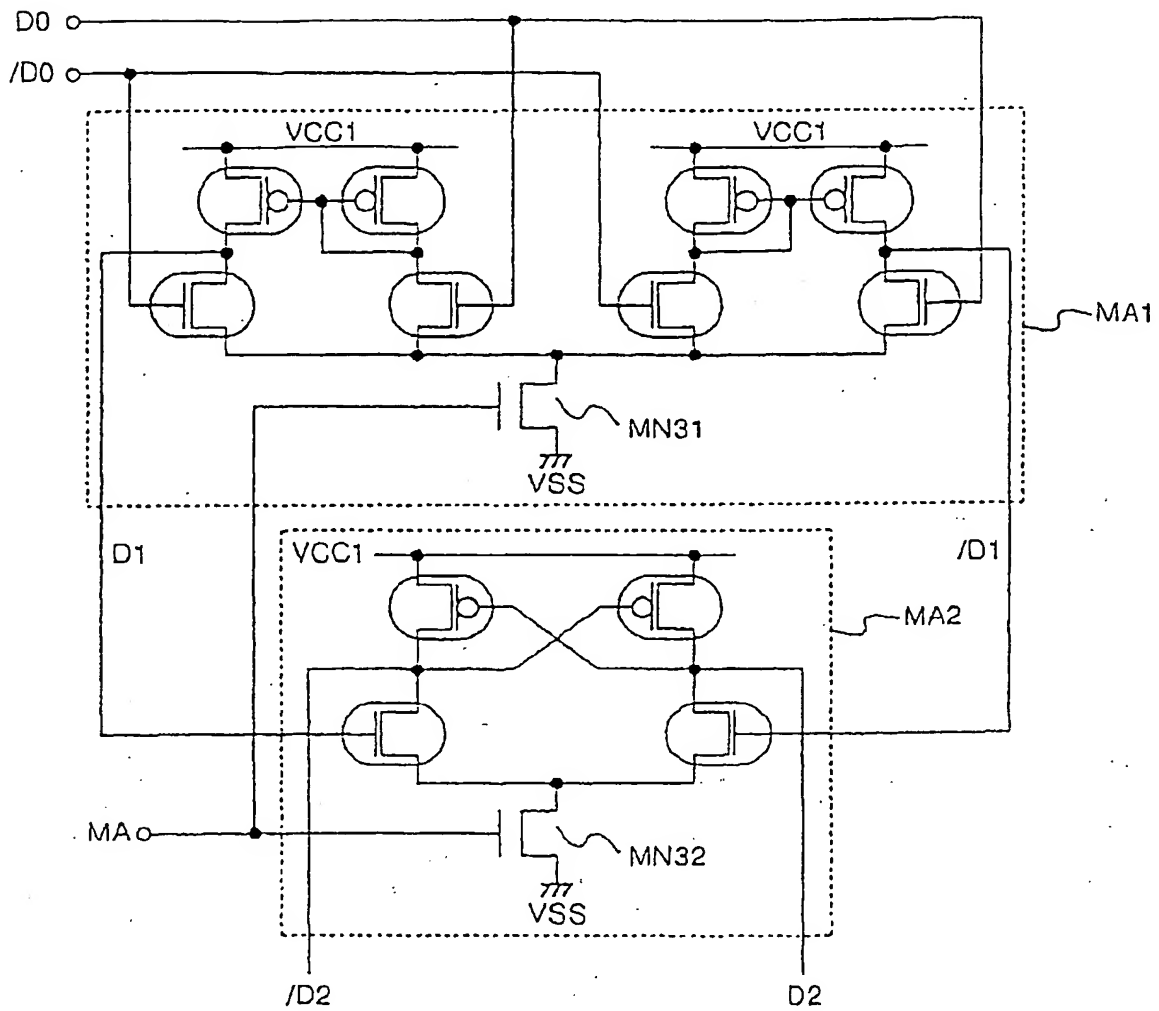
【図45】

第 4 5 図



【図 46】

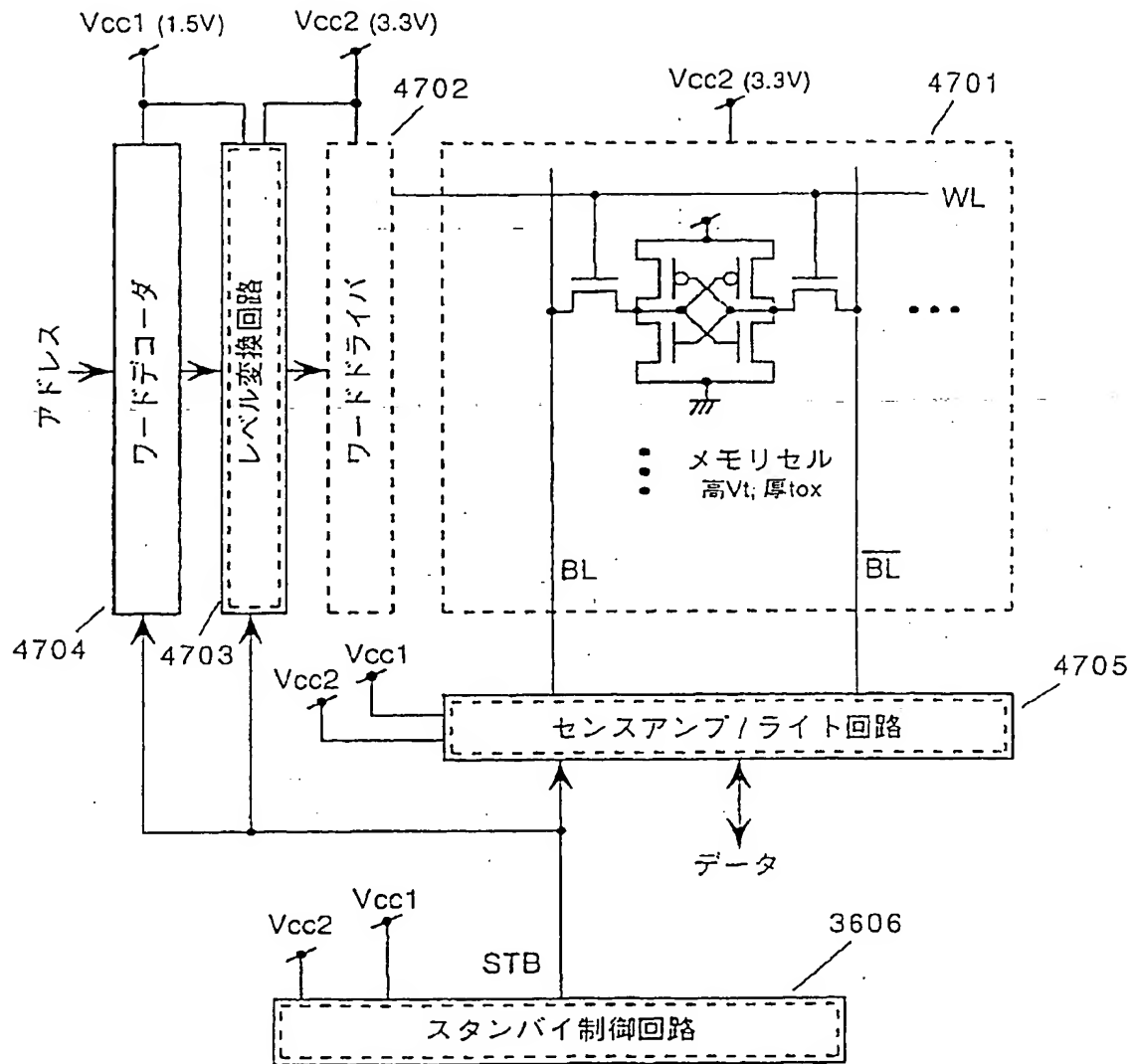
第 46 図





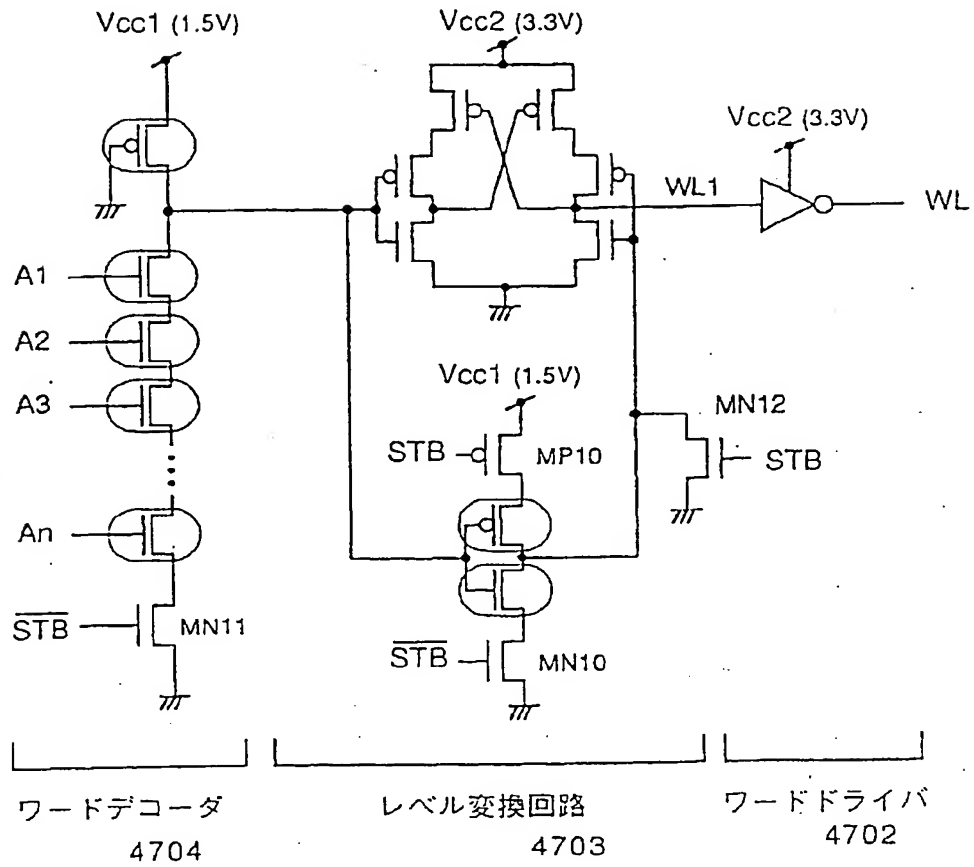
【図47】

第47図



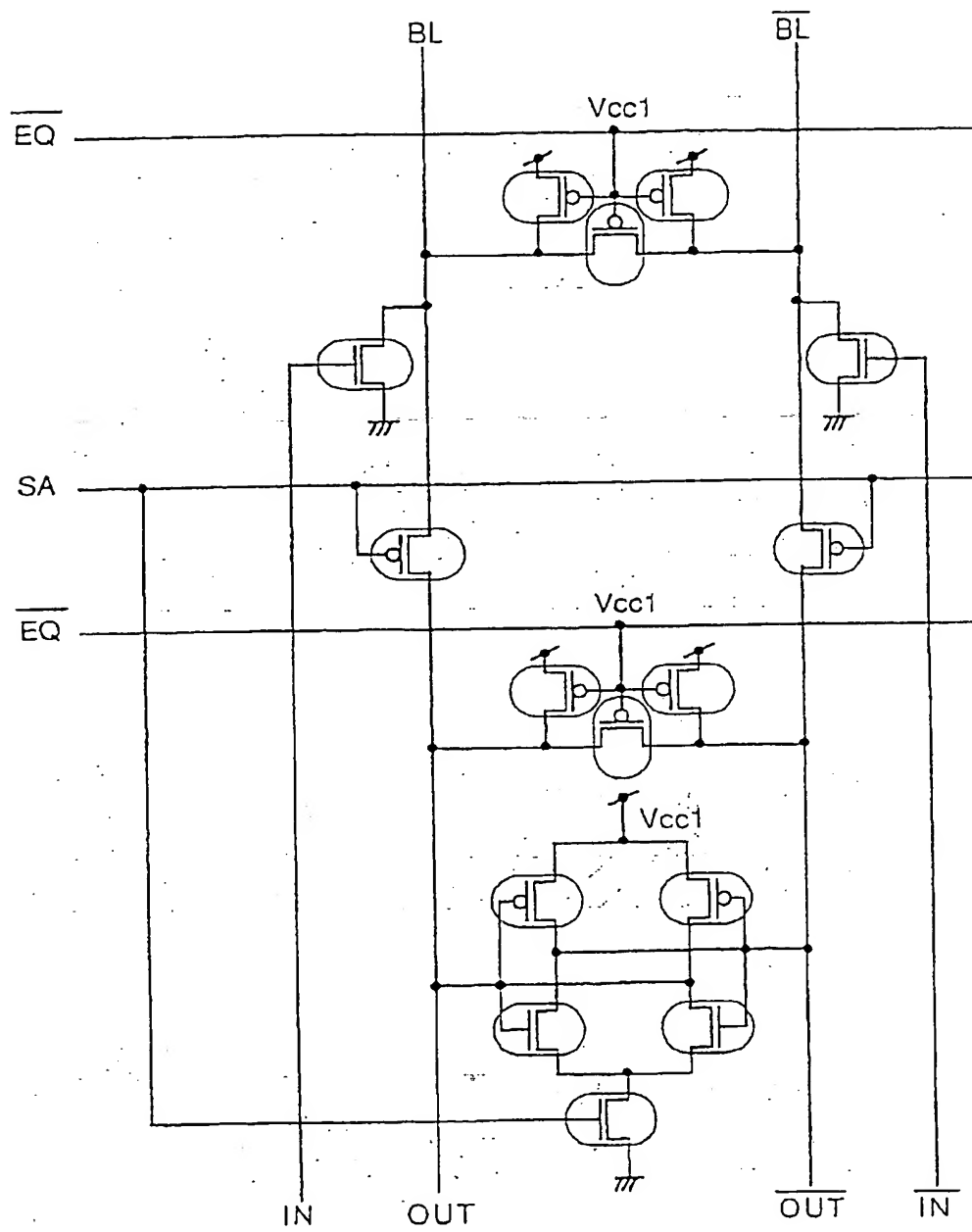
【図 4 8】

第 4 8 図



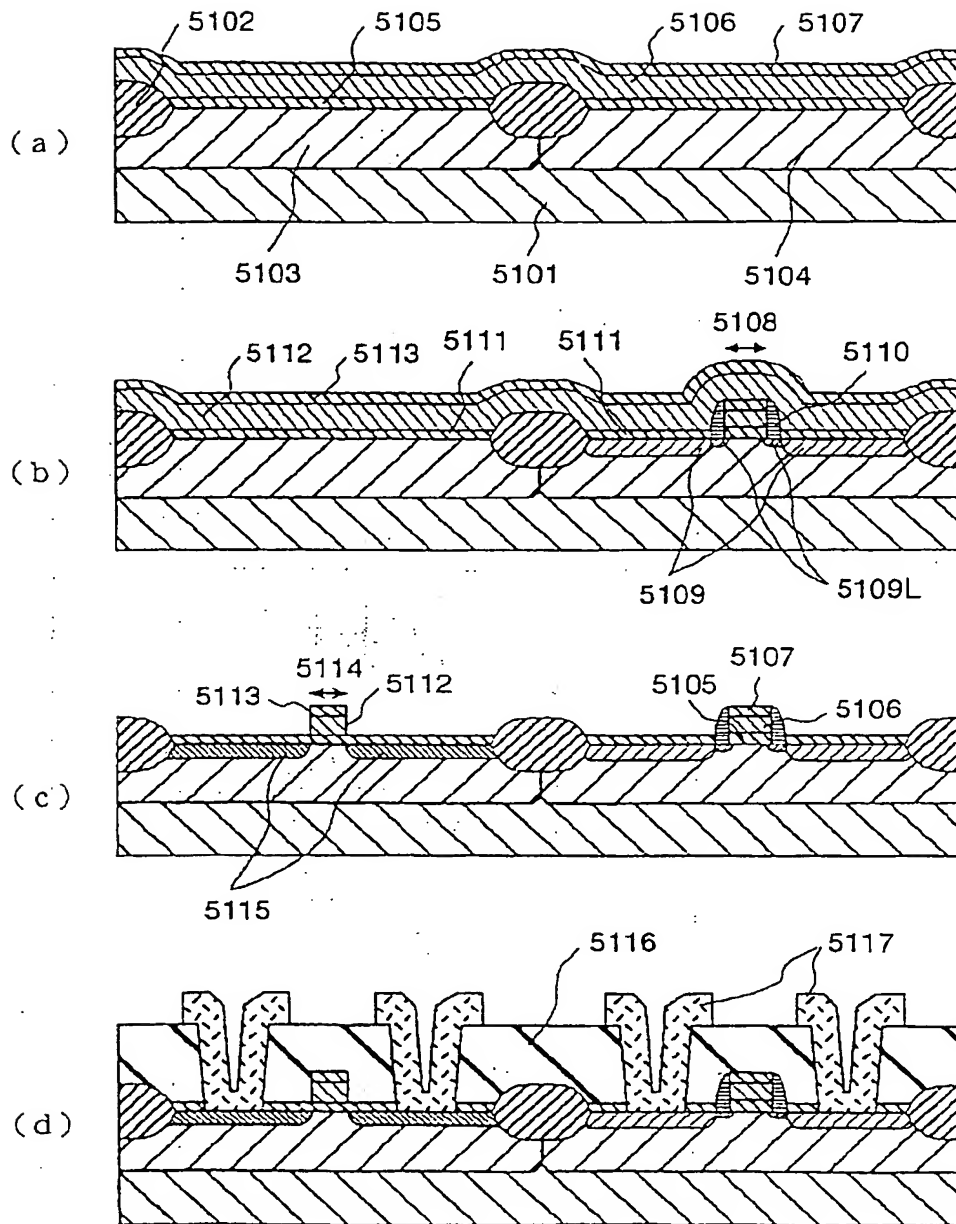
[ 图 4 9 ]

第 4 9 图



【図50】

第50図



## 【国際調査報告】

国際調査報告		国際出願番号 PCT / JP 97 / 01191	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl. <sup>8</sup> H 01 L 27 / 088			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl. <sup>8</sup> H 01 L 27 / 088 Int. Cl. <sup>8</sup> H 01 L 27 / 108			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1964-1996年 日本国公報実用新案公報 1971-1995年 日本国登録実用新案公報 1994-1996年			
国際調査で使用する電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP, 07-38417, A (日本電気株式会社), 7. 2月, 1995年 (07. 02. 95) (ファミリーなし), 第2~8パラグラフ	1, 38, 39	
Y		2-13, 15-22, 24, 26 27-37, 40-63	
Y	JP, 61-168954, A (住友電気工業株式会社), 30. 7月1986年 (30. 07. 86), (ファミリーなし), 第2頁左上欄第9行~第2頁右下欄第20行	3, 28, 32, 34, 37, 40-51, 54	
Y	JP, 03-153079, A (セイコーエプソン株式会社) 1. 7月1991年 (01. 07. 91), (ファミリーなし), 第2頁左上欄第9行~右下欄第18行	9, 10, 37, 43, 55, 59	
Y	IEEE Electron Device Meeting Technical Digest 1993, pp. 119-122, M. Ono et al., "SUB-50 NM GATELENGTH N-MOSFET WITH 10 NM PHOSPHORUS SOURCE AND DRAIN JUNCTIONS", (12月, 1993), (英文)	2-13, 15-22, 24-30 , 33-35, 45-55, 62	
Y	JP, 05-108562, A (日本電気アイシーマイコンシステム株式会社), 30. 4月, 1993年 (30. 04. 93), (ファミリーなし), 第2~21パラグラフ	22, 29, 43	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 01. 07. 97		国際調査報告の発送日 08. 07. 97	
国際調査機関の名称及びあて先 日本国特許庁 (ISA / JP) 郵便番号 100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 今 井 淳 一 印 4 M 9055 電話番号 03-3581-1101 内線 6886	

## 国際調査報告

国際出願番号 PCT/J P 97/01191

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P、04-85868、A (株式会社日立製作所)、18.3月.1992年 (18.03.92)、(ファミリーなし)第1頁右下欄第19行~第5頁右下欄第11行	31,37
Y	J P、03-94464、A (株式会社東芝)、19.4月.1991年(19.04.91) (ファミリーなし)、第1頁左下欄第18行~第4頁右上欄第11行	19-21,24-26,32, 36,51
Y	J P、04-260364、A (ソニー株式会社)、16.9月.1992年 (16.09.92)、(ファミリーなし)、第10~20パラグラフ	55,57,58,62,63
Y	J P、06-196495、A (松下電器産業株式会社)、15.7月.1994年 (15.07.94)、& E P 596468 (29.06.94) 第99~106パラグラフ	54,61

---

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

**THIS PAGE BLANK (USPTO)**